



聆思科技
LISTENAI

CSK6 AI SoC 硬件开发指南

CSHD-23002-020_V1.4

2023-05-29

聆思科技专有和保密信息

本文档受 NDA 管控

LISTENAI Confidential

声明

版权所有 © 安徽聆思智能科技有限公司 2023。保留一切权利。

本档提供的信息属于安徽聆思智能科技有限公司和/或其关联公司（“聆思科技”）所有，非经聆思科技事先书面许可，任何单位和个人不得以任何方式复制、修改或传播本档的部分或全部。

本档内容仅供参考。聆思科技不对本档所含信息的准确性或完整性作任何明示或暗示的陈述或保证，也不对本档中存在的任何错误承担责任。

聆思科技保留不经通知随时对本档信息做出修改的权利。聆思科技对本档享有最终解释权。

LISTENAI、聆思科技、聆思科技徽标均为安徽聆思智能科技有限公司在中国和其他国家及地区的商标或注册商标。其他所有商标和版权均为其各自所有者的资产。

LISTENAI Confidential

前言

概述

本文档主要介绍 CSK6 处理器硬件设计的要点及注意事项，旨在帮助聆思客户缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请客户参考本指南的要求进行硬件设计，如因特殊原因需要更改的，请严格按照文档中的设计要求进行设计，如有疑问请及时和我司工程师联系。

芯片型号

本文档对应的芯片型号为：CSK6002、CSK6012、CSK6011A，后文统一称为 CSK6。

适用对象

本文档主要适用于以下工程师：

- 硬件研发工程师
- FAE 工程师
- 产品测试工程师

LISTENAI Confidential

更新记录

| 版本 | 日期 | 更新说明 |
|------|------------|--|
| V1.0 | 2022-09-09 | 首次发布。 |
| V1.1 | 2022-09-30 | 增加 DVP 章节。 |
| V1.2 | 2023-02-22 | <ol style="list-style-type: none">1. 更改原理图：更改驻极体麦克风的耦合电容，由 100nF 更改为 1uF。2. 增加第三小点：添加麦克风增益和输入阻抗的关系表格，及 1uF 和 2.2uF 耦合电容下的截止频率。3. AEC 回采电路更改原理图，增加低通滤波。4. VDD_IO 的外接电容从 4.7uF 调整到 2.2uF，VMID 的外接电容从 4.7uF 调整到 100nF。 |
| V1.3 | 2023-03-06 | 更改 DVP 参考设计。 |
| V1.4 | 2023-05-29 | 更改数字 MIC 电路章节的数字麦克风的输入采样率，由 8~48KHz 更改为 8~16KHz |

目录

| | |
|-----------------------------|-----------|
| 1 系统概述 | 1 |
| 1.1 概述 | 1 |
| 1.2 功能概括 | 1 |
| 1.2.1 芯片框图 | 1 |
| 1.2.2 外部电源参数 | 2 |
| 1.2.3 CSK6 典型应用框图 | 2 |
| 1.3 封装与管脚 | 3 |
| 1.3.1 封装 | 3 |
| 1.3.2 引脚定义图 | 4 |
| 1.3.3 CSK6 引脚功能描述表 | 7 |
| 2 原理图 & PCB 设计建议 | 14 |
| 2.1 最小系统设计 | 14 |
| 2.1.1 CSK6 内部电源树结构 | 14 |
| 2.1.2 时钟电路 | 15 |
| 2.1.3 复位电路 | 16 |
| 2.1.4 系统启动模式 | 16 |
| 2.1.5 Debug 调试 | 17 |
| 2.1.6 Program 方法 | 17 |
| 2.2 PCB Layout 建议 | 18 |
| 3 CSK6 硬件开发 | 19 |
| 3.1 CSK6 电源 | 19 |
| 3.1.1 CSK6 电源特性 | 19 |
| 3.1.2 一般电源供电电路设计 | 20 |
| 3.1.3 低功耗电源电路设计 | 22 |
| 3.2 CSK6 MIC 电路 | 22 |
| 3.2.1 模拟 MIC 电路 | 22 |
| 3.2.1.1 驻极体麦克风 (ECM) 电路设计 | 23 |
| 3.2.1.2 硅麦 (MEMS) | 25 |
| 3.2.1.3 阻抗关系表和截止频率对照表 | 27 |
| 3.2.2 数字 MIC 电路 | 28 |
| 3.2.3 MIC 电路的 PCB 布局 | 29 |
| 3.3 CSK6 播音电路 | 29 |
| 3.3.1 Line OUT 电路 | 29 |
| 3.3.2 PA 电路 | 31 |
| 3.3.2.1 D 类功放 | 31 |
| 3.3.2.2 AB 类功放 | 32 |
| 3.3.3 AEC 电路 | 32 |
| 3.4 CSK6 连接主控芯片 | 33 |
| 3.4.1 音频传输接口 | 33 |
| 3.4.2 通信接口 | 33 |
| 3.4.3 固件升级 | 33 |
| 3.5 CSK6 接口资源 | 34 |
| 3.5.1 常用硬件接口 | 34 |
| 3.5.1.1 GPIO 电路设计要点 | 34 |
| 3.5.1.2 UART 电路设计要点 | 34 |

| | | |
|---------|---------------|----|
| 3.5.1.3 | SPI 电路设计要点 | 35 |
| 3.5.1.4 | USB 电路设计要点 | 36 |
| 3.5.1.5 | I2C 电路设计要点 | 36 |
| 3.5.1.6 | I2S 电路设计要点 | 36 |
| 3.5.1.7 | SDIO 电路设计要点 | 37 |
| 3.5.1.8 | GPADC 电路设计要点 | 37 |
| 3.5.1.9 | 可直接访问外设 | 37 |
| 3.5.2 | Touch Pad 电路 | 38 |
| 3.5.2.1 | PCB 布局 | 38 |
| 3.5.2.2 | PCB 布线 | 38 |
| 3.5.2.3 | 触控面板材料选择 | 39 |
| 3.5.3 | Keysense 电路 | 39 |
| 3.5.4 | Flash 电路 | 40 |
| 3.6 | CSK6 DVP 使用 | 41 |
| 3.6.1 | DVP 接口控制器特性 | 41 |
| 3.6.2 | DVP 接口描述和设计建议 | 42 |
| 3.6.2.1 | DVP 接口参考设计一 | 42 |
| 3.6.2.2 | DVP 接口参考设计二 | 44 |
| 3.6.2.3 | DVP 接口电平转换 | 46 |
| 3.6.2.4 | DVP 电路设计建议事项 | 47 |
| 4 | SMT 生产制造 | 48 |
| 5 | FAQ | 49 |
| 6 | 附录 1 | 50 |

1 系统概述

1.1 概述

CSK6 系列的芯片是聆思科技最新推出的新一代语音唤醒主控芯片，主要应用于智能语音识别、图像处理领域。由 ARM STAR、HIFI4 和 NPU 三核异构组成，为用户提供强大的硬件资源。其中 ARM STAR 最高系统时钟频率：300MHz，支持 SWD 在线调试；HIFI4 最高系统时钟频率：300MHz，支持 JTAG 在线调试；NPU 最高算力可达 128G，最高运行频率：300MHz。CSK6 系列芯片区别参见 [表 1.1](#)。

表 1.1 CSK6 系列芯片区别

| | Venus | 4MB PSRAM | 8MB PSRAM | Internal Flash | External Flash |
|----------|-------|-----------|-----------|----------------|----------------|
| CSK6002 | √ | × | √ | √ | × |
| CSK6012 | √ | × | √ | × | Up to 16 MB |
| CSK6011A | √ | × | √ | × | Up to 16 MB |

1.2 功能概括

CSK6002、CSK6012 和 CSK6011A 系列产品的功能描述，参见相应的数据手册。

1.2.1 芯片框图

芯片框图如 [图 1.1](#) 所示。

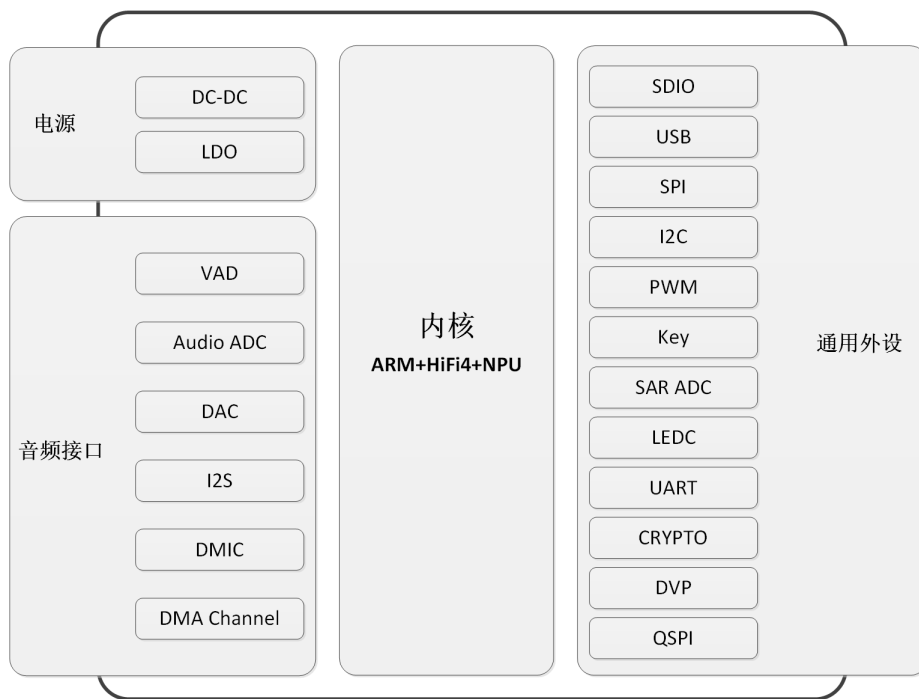


图 1.1 芯片框图

1.2.2 外部电源参数

外部电源参数参见 表 1.2。

表 1.2 外部电源参数

| 电源 | CSK6002/6012 引脚 | CSK6011A/B 引脚 | 范围 | 典型值 | 电流 | 备注 |
|--------|-----------------|---------------|-----------|-----------|---------|----|
| VCC | 25 | 29 | 2.7V-5.5V | 3.3V/5.0V | 0-500mA | 输入 |
| VBK_IN | 48 | 46 | 2.7V-5.5V | 3.3V/5.0V | 0-500mA | 输入 |

备注：

1. CSK6 系列的芯片为单电源宽压供电，以上表格中的参数仅供参考，电源容许偏差最大不要超过 $\pm 10\%$ ，在进行电源设计时，建议尽量控制电源电压 $\pm 5\%$ 波动，以增加系统的稳定性。
2. CSK6 的 VDD_IO 电源对外输出电流有限，当外挂其他 3.3V 设备时，最好使用其他的 3.3V 电源来供电。
3. CSK6 详细的电源参数表请参考 节 3 CSK6 硬件开发 中的数据。

1.2.3 CSK6 典型应用框图

CSK6 典型应用框图如 图 1.2 所示。

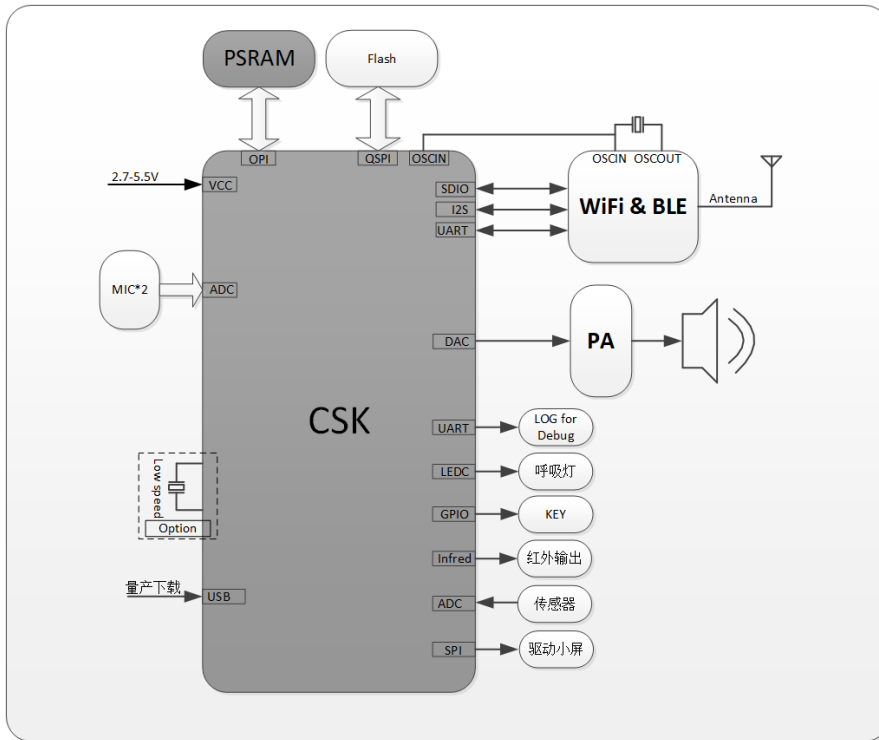


图 1.2 CSK6 典型应用框图

1.3 封装与管脚

1.3.1 封装

封装信息如 图 1.3、图 1.4、图 1.5 所示。

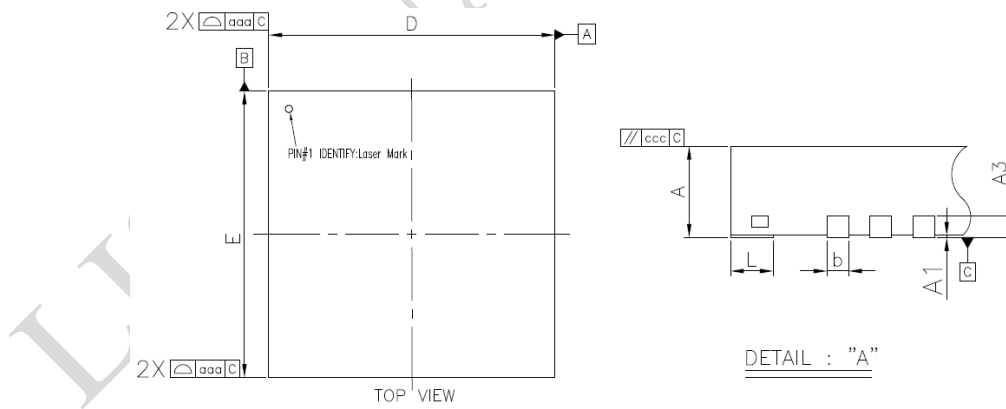


图 1.3 顶视图

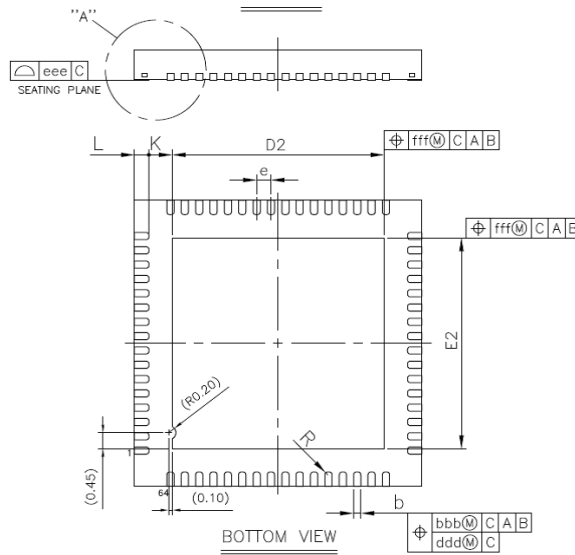


图 1.4 底视图

| Symbol | Dimension in mm | | | Dimension in inch | | |
|--------|-----------------|------|------|-------------------|-------|-------|
| | MIN | NOM | MAX | MIN | NOM | MAX |
| A | 0.80 | 0.85 | 0.90 | 0.031 | 0.033 | 0.035 |
| A1 | 0.00 | 0.02 | 0.05 | 0.000 | 0.001 | 0.002 |
| A3 | 0.20 REF | | | 0.008 REF | | |
| b | 0.15 | 0.20 | 0.25 | 0.006 | 0.008 | 0.010 |
| D | 7.90 | 8.00 | 8.10 | 0.311 | 0.315 | 0.319 |
| E | 7.90 | 8.00 | 8.10 | 0.311 | 0.315 | 0.319 |
| D2 | 5.80 | 5.90 | 6.00 | 0.228 | 0.232 | 0.236 |
| E2 | 5.80 | 5.90 | 6.00 | 0.228 | 0.232 | 0.236 |
| e | 0.40 BSC | | | 0.016 BSC | | |
| L | 0.30 | 0.40 | 0.50 | 0.012 | 0.016 | 0.020 |
| K | 0.20 | --- | --- | 0.008 | --- | --- |
| R | 0.08 | --- | 0.13 | 0.003 | --- | 0.005 |
| aaa | 0.10 | | | 0.004 | | |
| bbb | 0.07 | | | 0.003 | | |
| ccc | 0.10 | | | 0.004 | | |
| ddd | 0.05 | | | 0.002 | | |
| eee | 0.08 | | | 0.003 | | |
| fff | 0.10 | | | 0.004 | | |

NOTE:

1. CONTROLLING DIMENSION : MILLIMETER
2. REFERENCE DOCUMENT: JEDEC MO-220.

图 1.5 符号尺寸

1.3.2 引脚定义图

CSK6011A 引脚定义图如 图 1.6 所示。

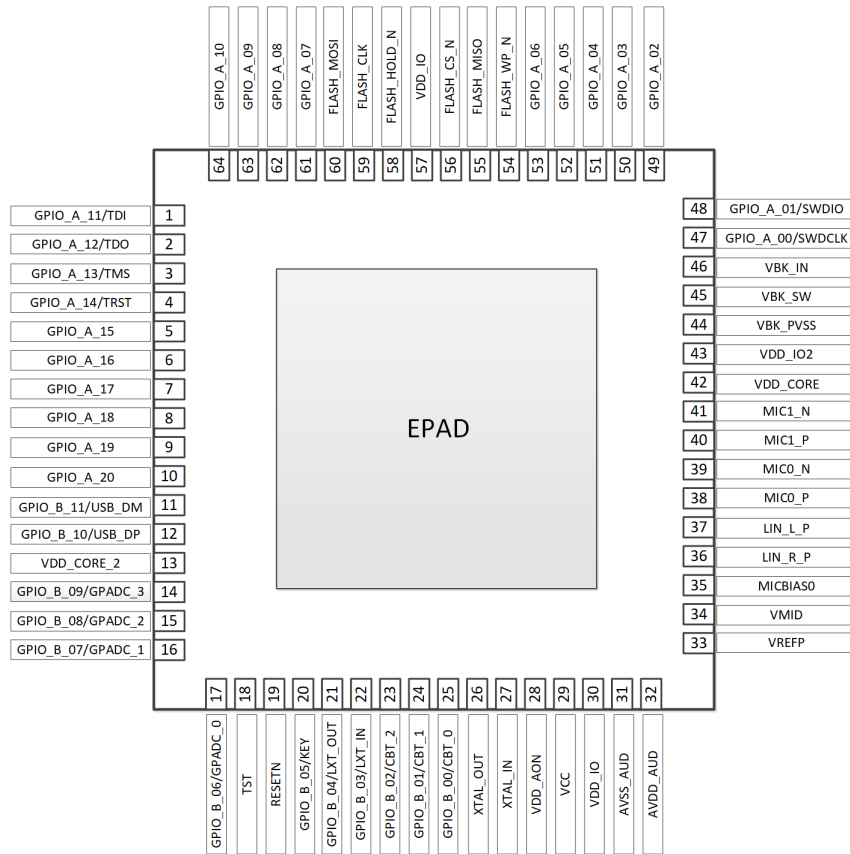


图 1.6 CSK6011A 引脚定义图

CSK6012 引脚定义图如 图 1.7 所示。

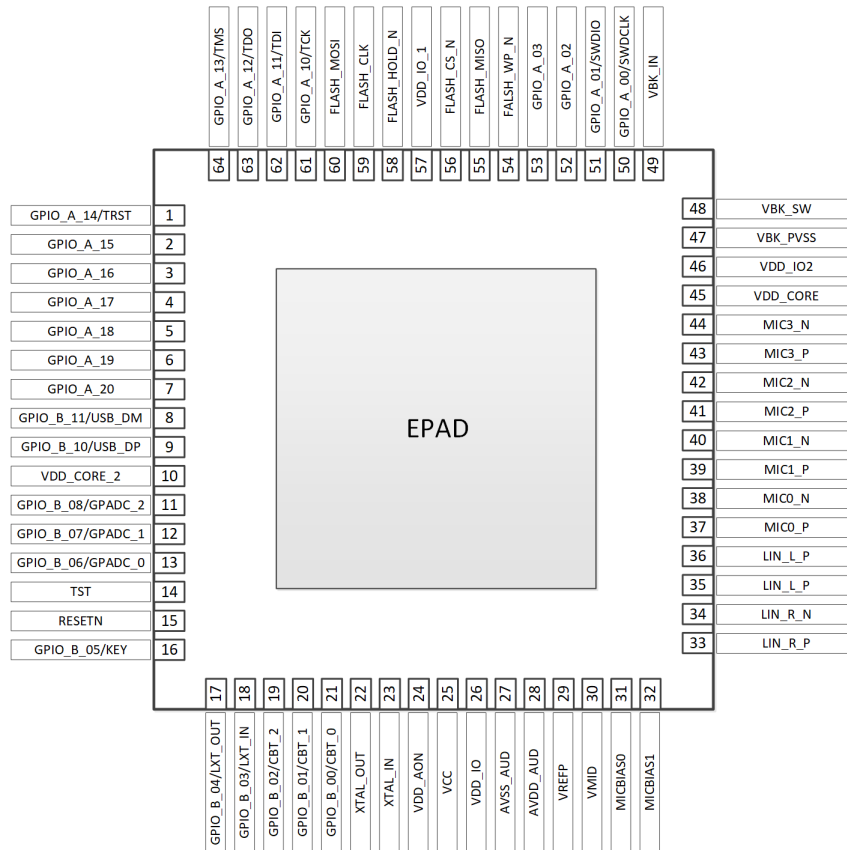


图 1.7 CSK6012 引脚定义图

CSK6002 引脚定义图如 图 1.8 所示。

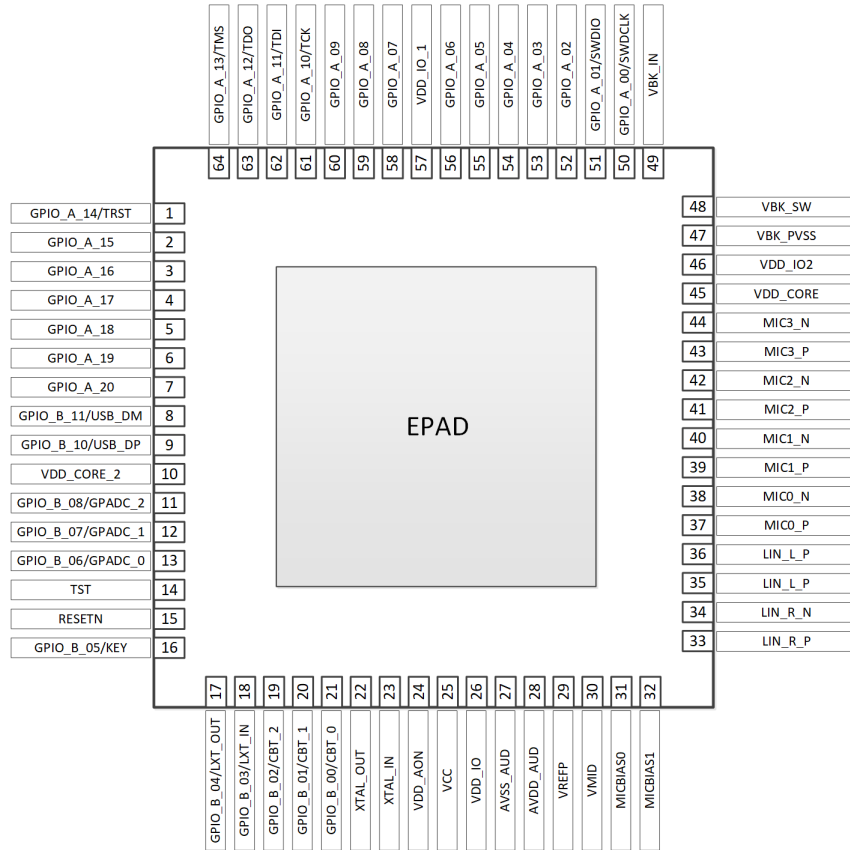


图 1.8 CSK6002 引脚定义图

1.3.3 CSK6 引脚功能描述表

CSK6011A 引脚功能描述参见 表 1.3。

表 1.3 6011A 引脚功能描述

| Pin Number | Pin Name | Description |
|------------|-----------|---|
| 1 | GPIO_A_11 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 2 | GPIO_A_12 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 3 | GPIO_A_13 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 4 | GPIO_A_14 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 5 | GPIO_A_15 | Multi-purpose digital I/O. It supports Boot ROM UART programming. Refer to 60XX_IOMUX.xlsx for details. |
| 6 | GPIO_A_16 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 7 | GPIO_A_17 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 8 | GPIO_A_18 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 9 | GPIO_A_19 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |

续下页

表 1.3 - 接上页

| Pin Number | Pin Name | Description |
|------------|--------------------|---|
| 10 | GPIO_A_20 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 11 | GPIO_B_11/USB_DM | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 12 | GPIO_B_10/USB_DP | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 13 | VDD_CORE_2 | Connect with VDD_CORE. |
| 14 | GPIO_B_09/GPADC_3 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 15 | GPIO_B_08/GPADC_2 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 16 | GPIO_B_07/GPADC_1 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 17 | GPIO_B_06/GPADC_0 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 18 | TST | Test pin. Default: pull-up. 0: test mode. 1: normal mode. |
| 19 | RESETN | Reset pin input. Default: pull-up. |
| 20 | GPIO_B_05/KEYSENSE | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 21 | GPIO_B_04 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 22 | GPIO_B_03 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 23 | GPIO_B_02/CBT_2 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 24 | GPIO_B_01/CBT_1 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 25 | GPIO_B_00/CBT_0 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 26 | XTAL_OUT | 24-MHz crystal. |
| 27 | XTAL_IN | 24-MHz crystal. |
| 28 | VDD_AON | Internal LDO output. Recommended capacitance: 1 μ F. |
| 29 | VCC | Power input: 2.7 V-5.5 V. |
| 30 | VDD_IO | Internal LDO output. Recommended capacitance: 2.2 μ F. |
| 31 | AVSS_AUD | GND |
| 32 | AVDD_AUD | Microphone bias output. Recommended capacitance: 2.2 μ F. |
| 33 | VREF | Audio codec reference input. |
| 34 | VMID | Internal LDO output. Recommended capacitance: 100 nF. |
| 35 | MICBIAS0 | Microphone bias output. Recommended capacitance: 2.2 μ F. |
| 36 | LIN_R_P | Right channel differential outputs positive. |
| 37 | LIN_L_P | Left channel differential outputs positive. |
| 38 | MIC0_P | Microphone input positive. |
| 39 | MIC0_N | Microphone input negative. |
| 40 | MIC1_P | Microphone input positive. |
| 41 | MIC1_N | Microphone input negative. |
| 42 | VDD_CORE | Internal LDO output. Recommended capacitance: 4.7 μ F. Connect with VDD_CORE_2. |

续下页

表 1.3 - 接上页

| Pin Number | Pin Name | Description |
|------------|------------------|--|
| 43 | VDD_IO2 | Internal power input. Recommended capacitance: 10 μ F. |
| 44 | VBK_PVSS | DC-DC GND. |
| 45 | VBK_SW | DC-DC switch out. Connected with a 3.3- μ H inductor. |
| 46 | VBK_IN | DC-DC input power: 2.7 V-5.5 V. |
| 47 | GPIO_A_00/SWDCLK | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 48 | GPIO_A_01/SWDTMS | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 49 | GPIO_A_02 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 50 | GPIO_A_03 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 51 | GPIO_A_04 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 52 | GPIO_A_05 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 53 | GPIO_A_06 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 54 | FLASH_WP_N | Connect with an external QSPI flash. |
| 55 | FLASH_MISO | Connect with an external QSPI flash. |
| 56 | FLASH_CS_N | Connect with an external QSPI flash. |
| 57 | VDD_IO_1 | Input power. Connect with VDD_IO. |
| 58 | FLASH_HOLD_N | Connect with an external QSPI flash. |
| 59 | FLASH_CLK | Connect with an external QSPI flash. |
| 60 | FLASH_MOSI | Connect with an external QSPI flash. |
| 61 | GPIO_A_07 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 62 | GPIO_A_08 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 63 | GPIO_A_09 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 64 | GPIO_A_10 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 65 | EPAD | Connect with GND. |

备注: The pull-up resistor resistance is set to 80 K.

CSK6012 引脚功能描述参见 表 1.4。

表 1.4 CSK6012 引脚功能描述

| Pin Number | Pin Name | Description |
|------------|-----------|---|
| 1 | GPIO_A_14 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 2 | GPIO_A_15 | Multi-purpose digital I/O. It supports Boot ROM UART programming. Refer to 60XX_IOMUX.xlsx for details. |
| 3 | GPIO_A_16 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 4 | GPIO_A_17 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |

续下页

表 1.4 - 接上页

| Pin Number | Pin Name | Description |
|------------|--------------------|---|
| 5 | GPIO_A_18 | Multi-purpose digital I/O. It supports Boot ROM UART programming. Refer to 60XX_IOMUX.xlsx for details. |
| 6 | GPIO_A_19 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 7 | GPIO_A_20 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 8 | GPIO_B_11/USB_DM | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 9 | GPIO_B_10/USB_DP | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 10 | VDD_CORE_2 | Connect with VDD_CORE. |
| 11 | GPIO_B_08/GPADC_2 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 12 | GPIO_B_07/GPADC_1 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 13 | GPIO_B_06/GPADC_0 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 14 | TST | Test pin. Default: pull-down. 0: normal mode. 1: test mode. |
| 15 | RESETN | Reset pin input. Default: pull-up. |
| 16 | GPIO_B_05/KEYSENSE | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 17 | GPIO_B_04 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 18 | GPIO_B_03 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 19 | GPIO_B_02/CBT_2 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 20 | GPIO_B_01/CBT_1 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 21 | GPIO_B_00/CBT_0 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 22 | XTAL_OUT | 24-MHz crystal. |
| 23 | XTAL_IN | 24-MHz crystal. |
| 24 | VDD_AON | Internal LDO output. Recommended capacitance: 1 μ F. |
| 25 | VCC | Power input: 2.7 V-5.5 V. |
| 26 | VDD_IO | Internal LDO output. Recommended capacitance: 2.2 μ F. |
| 27 | AVSS_AUD | GND. |
| 28 | AVDD_AUD | Internal LDO output. Recommended capacitance: 2.2 μ F. |
| 29 | VREF | Audio codec reference input. |
| 30 | VMID | Internal LDO output. Recommended capacitance: 100 nF. |
| 31 | MICBIAS0 | Microphone bias output. Recommended capacitance: 2.2 μ F. |
| 32 | MICBIAS1 | Microphone bias output. Recommended capacitance: 2.2 μ F. |
| 33 | LIN_R_P | Right channel differential outputs positive. |
| 34 | LIN_R_N | Right channel differential outputs negative. |
| 35 | LIN_L_P | Left channel differential outputs positive. |
| 36 | LIN_L_N | Left channel differential outputs negative. |

续下页

表 1.4 - 接上页

| Pin Number | Pin Name | Description |
|------------|------------------|---|
| 37 | MIC0_P | Microphone input positive. |
| 38 | MIC0_N | Microphone input negative. |
| 39 | MIC1_P | Microphone input positive. |
| 40 | MIC1_N | Microphone input negative. |
| 41 | MIC2_P | Microphone input positive. |
| 42 | MIC2_N | Microphone input negative. |
| 43 | MIC3_P | Microphone input positive. |
| 44 | MIC3_N | Microphone input negative. |
| 45 | VDD_CORE | Internal LDO output. Recommended capacitance: 4.7 μ F. Connect with VDD_CORE_2. |
| 46 | VDD_IO2 | Internal DC-DC input. Recommended capacitance: 10 μ F. |
| 47 | VBK_PVSS | DC-DC GND. |
| 48 | VBK_SW | DC-DC switch out. Connected with a 3.3- μ H inductor. |
| 49 | VBK_IN | DC-DC input power: 2.7 V-5.5 V. |
| 50 | GPIO_A_00/SWDCLK | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 51 | GPIO_A_01/SWDTMS | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 52 | GPIO_A_02 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 53 | GPIO_A_03 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 54 | FLASH_WP_N | Connect with an external QSPI flash. |
| 55 | FLASH_MISO | Connect with an external QSPI flash. |
| 56 | FLASH_CS_N | Connect with an external QSPI flash. |
| 57 | VDD_IO_1 | Input power. Connect with VDD_IO. |
| 58 | FLASH_HOLD_N | Connect with an external QSPI flash. |
| 59 | FLASH_CLK | Connect with an external QSPI flash. |
| 60 | FLASH_MOSI | Connect with an external QSPI flash. |
| 61 | GPIO_A_10 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 62 | GPIO_A_11 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 63 | GPIO_A_12 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 64 | GPIO_A_13 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 65 | EPAD | Connect with GND. |

备注: The pull-up resistor resistance is set to 80 K.

CSK6002 引脚功能描述参见[CSK6002 引脚功能描述](#)。

表 1.5 CSK6002 引脚功能描述

| Pin Number | Pin Name | Description |
|------------|-----------|---|
| 1 | GPIO_A_14 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 2 | GPIO_A_15 | Multi-purpose digital I/O. It supports Boot ROM UART programming. Refer to 60XX_IOMUX.xlsx for details. |

续下页

表 1.5 - 接上页

| Pin Number | Pin Name | Description |
|------------|--------------------|---|
| 3 | GPIO_A_16 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 4 | GPIO_A_17 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 5 | GPIO_A_18 | Multi-purpose digital I/O. It supports Boot ROM UART programming. Refer to 60XX_IOMUX.xlsx for details. |
| 6 | GPIO_A_19 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 7 | GPIO_A_20 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 8 | GPIO_B_11/USB_DM | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 9 | GPIO_B_10/USB_DP | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 10 | VDD_CORE_2 | Connect with VDD_CORE. |
| 11 | GPIO_B_08/GPADC_2 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 12 | GPIO_B_07/GPADC_1 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 13 | GPIO_B_06/GPADC_0 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 14 | TST | Test pin. Default: pull-down. 0: normal mode. 1: test mode. |
| 15 | RESETN | Reset pin input. Default: pull-up. |
| 16 | GPIO_B_05/KEYSENSE | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 17 | GPIO_B_04 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 18 | GPIO_B_03 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 19 | GPIO_B_02/CBT_2 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 20 | GPIO_B_01/CBT_1 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 21 | GPIO_B_00/CBT_0 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 22 | XTAL_OUT | 24-MHz crystal. |
| 23 | XTAL_IN | 24-MHz crystal. |
| 24 | VDD_AON | Internal LDO output. Recommended capacitance: 1 μ F. |
| 25 | VCC | Power input: 2.7 V-5.5 V. |
| 26 | VDD_IO | Internal LDO output. Recommended capacitance: 2.2 μ F. |
| 27 | AVSS_AUD | GND. |
| 28 | AVDD_AUD | Internal LDO output. Recommended capacitance: 2.2 μ F. |
| 29 | VREF | Audio codec reference input. |
| 30 | VMID | Internal LDO output. Recommended capacitance: 100 nF. |
| 31 | MICBIAS0 | Microphone bias output. Recommended capacitance: 2.2 μ F. |
| 32 | MICBIAS1 | Microphone bias output. Recommended capacitance: 2.2 μ F. |

续下页

表 1.5 - 接上页

| Pin Number | Pin Name | Description |
|------------|------------------|---|
| 33 | LIN_R_P | Right channel differential outputs positive. |
| 34 | LIN_R_N | Right channel differential outputs negative. |
| 35 | LIN_L_P | Left channel differential outputs positive. |
| 36 | LIN_L_N | Left channel differential outputs negative. |
| 37 | MIC0_P | Microphone input positive. |
| 38 | MIC0_N | Microphone input negative. |
| 39 | MIC1_P | Microphone input positive. |
| 40 | MIC1_N | Microphone input negative. |
| 41 | MIC2_P | Microphone input positive. |
| 42 | MIC2_N | Microphone input negative. |
| 43 | MIC3_P | Microphone input positive. |
| 44 | MIC3_N | Microphone input negative. |
| 45 | VDD_CORE | Internal LDO output. Recommended capacitance: 4.7 μ F. Connect with VDD_CORE_2. |
| 46 | VDD_IO2 | Internal DC-DC input. Recommended capacitance: 10 μ F. |
| 47 | VBK_PVSS | DC-DC GND. |
| 48 | VBK_SW | DC-DC switch out. Connected with a 3.3- μ H inductor. |
| 49 | VBK_IN | DC-DC input power: 2.7 V-5.5 V. |
| 50 | GPIO_A_00/SWDCLK | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 51 | GPIO_A_01/SWDTMS | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 52 | GPIO_A_02 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 53 | GPIO_A_03 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 54 | GPIO_A_04 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 55 | GPIO_A_05 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 56 | GPIO_A_06 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 57 | VDD_IO_1 | Input power. Connect with VDD_IO. |
| 58 | GPIO_A_07 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 59 | GPIO_A_08 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 60 | GPIO_A_09 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 61 | GPIO_A_10 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 62 | GPIO_A_11 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 63 | GPIO_A_12 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 64 | GPIO_A_13 | Multi-purpose digital I/O. Refer to 60XX_IOMUX.xlsx for details. |
| 65 | EPAD | Connect with GND. |

备注: The pull-up resistor resistance is set to 80 K.

2 原理图 & PCB 设计建议

2.1 最小系统设计

2.1.1 CSK6 内部电源树结构

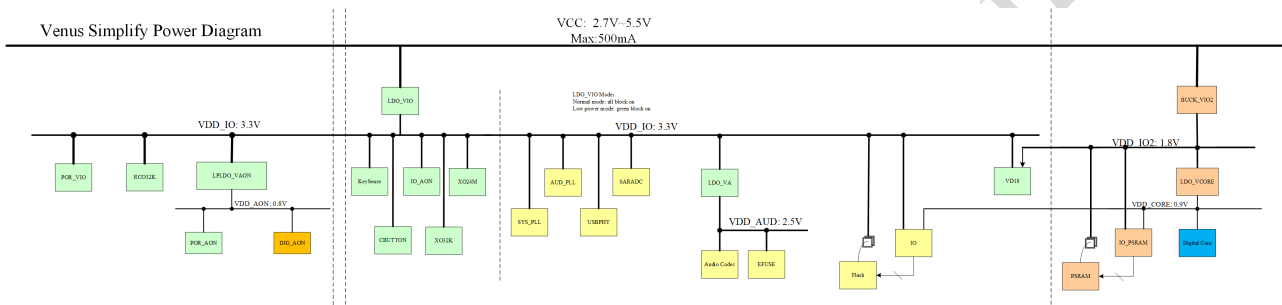


图 2.1 CSK6 内部电源树结构

Power System 说明:

1. 电源系统分成 AON domain, CORE domain, IO domain 和 Audio domain。
2. VCC 电源典型值 3.3V/5V，供电范围 2.7V~5.5V。
3. POR_RSTN 释放后，数字状态机逐步打开 VDD_IO2 和 VDD_CORE。
4. RCO32K 默认是打开的，随 VDD_AON 上电而启动，启动较快，启动时间在 100us 以内。
5. XO32K 默认是关闭的，启动较慢，启动时间在 100ms~500ms 之间，在系统正常工作后，由软件控制是否打开。
6. X024M 默认是关闭的，在 POR_VIO 释放后打开，起振时间在 1.5ms 以内。
7. AON domain 控制 CORE domain 的上电，CORE domain 下的 digital 不用加额外 POR，但是如果 VDD_VIO 1.8V 上电压波动太大时，需要能够检测到并判断是否做复位处理，因此增加 VD18 模块，检 VDD_VIO2 电压，挂在 VDD IO 电源下。
8. VDD_IO 3.3V domain 作为 Analog 的主 domain 比较合适，SARADC/SYS PLL/AUD PLL/XO24M 挂在 3.3V 下。
9. 在不外挂 PSRAM 的情况下 BUCK_VIO2 输出电压调到 0.9V，LDO_VCORE 采用 bypass 模式。

电源上电时序如 图 2.2 所示。



图 2.2 电源上电时序

更加详细的芯片内部结构电源树，请参阅附录 1。

2.1.2 时钟电路

CSK6 芯片内部电路与高速外部 24MHz 晶体振荡器（HSE）构成高速时钟源，如 图 2.3 所示。

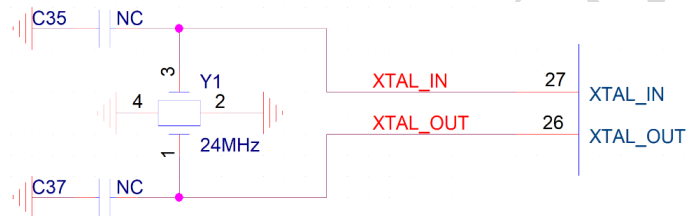


图 2.3 高速时钟源

备注：原理图中 C35 C37 的容值根据晶振的实际标称负载电容选择，内部负载电容范围是 10pF - 20pF。

表 2.1 CSK6 外部高速时钟（HSE）要求

| 参数 | 规范 | | 单位 | 备注 |
|------|-----|----|-----|---------------------|
| | 最小 | 最大 | | |
| 频率 | 24 | | MHz | |
| 频率偏差 | ±10 | | ppm | Frequency tolerance |
| 工作温度 | -40 | 85 | °C | |
| ESR | / | 50 | Ohm | |

晶振两脚上的各种电容的等效电容等于晶振的负载电容，此时晶振的振动频率最准确。晶振的负载电容可以在厂商提供的规格书中找到，每种晶振的负载电容都可能不一样。晶振两脚上的各种电容包括：PCB 走线上的电容、IC 内部的电容等。

晶振外部负载电容 C35、C37 计算公式如下：

$$C_L = \frac{C_{L1} * C_{L2}}{C_{L1} + C_{L2}} + C_{stray} + C_{IC}$$

其中

C_L ：晶振标称的负载电容；

C_{L1} 、 C_{L2} ：晶振外部并联电容；

C_{stray} ：PCB 走线杂散电容；

C_{IC} ：IC 内部电容，通常取 5pF。

CSK6 低速时钟源选择，有如下方式：

- 低速 32.768KHz 晶体振荡器 (LSE) 低速时钟源，片内负载电容调节范围：10pF-20pF。
- 内部 RC 时钟源。

晶振 PCB Layout 建议如下：

- 在布局时，晶振电路尽可能地靠近 CSK6 的时钟管脚放置。
- 信号走线使用 4mil 或 5mil 走线，并且尽可能的短，以减少走线的负载电容和防止不必要的噪声。
- 时钟走线 XIN 和 XOUT 以及晶振下方投影区域禁止任何走线，避免噪声耦合进入时钟电路。
- 晶振周围采用包地的方式。包地通过过孔与相邻的接地层连接，以隔离噪声。
- 晶振下方的相邻层尽量保持完整的地参考平面，避免任何走线分割，有助于减小耦合噪声。

2.1.3 复位电路

按键复位：系统初始上电，可以采用 RC 上电复位，复位电路的电压 VDD_IO 要与芯片的 VDD_IO 保持一致。如图 2.4 所示。

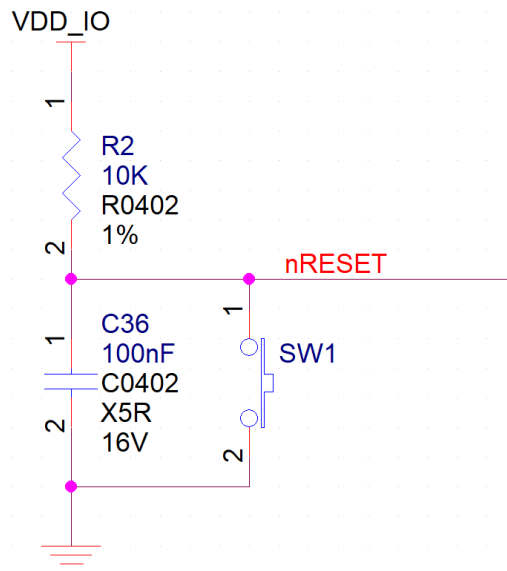


图 2.4 按键复位

当 CSK6 的系统复位被外部所控制，可以在被控制的链路中增加滤波小电容，防止外界复杂的电磁环境对 Reset 信号线造成干扰，导致系统异常复位。

2.1.4 系统启动模式

CSK6 系统启动模式参见表 2.2。启动模式由 GPIOB0、GPIOB1 逻辑输入电平决定。因此用户在设计时，要注意该引脚上的上下拉电阻，避免系统进入用户不需要的启动模式。

表 2.2 系统启动模式

| GPIOB0 | GPIOB1 | Mode Description |
|--------|--------|------------------|
| 1 | 1 | NOR flash boot |
| 1 | 0 | UART |
| 0 | 1 | Reserved |
| 0 | 0 | Reserved |

2.1.5 Debug 调试

CSK6 系统对于 AP 侧可以使用 SWD 对 ARM STAR 进行在线调试，同样 HIFI4 可以使用 JTAG 信号链对其进行在线调试。具体调试引脚请参考 CSK6 引脚功能复用表格。二合一调试端口如 图 2.5 所示。

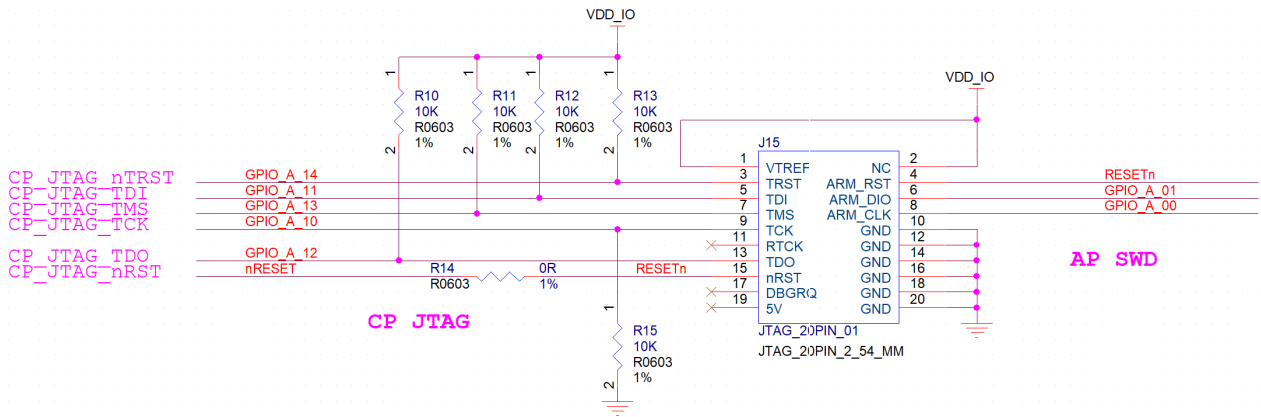


图 2.5 二合一调试端口

2.1.6 Program 方法

1. 使用 SWD 进行下载。
 2. 使用 UART 烧录工具进行烧录。
- ROM 程序启动流程如 图 2.6 所示。

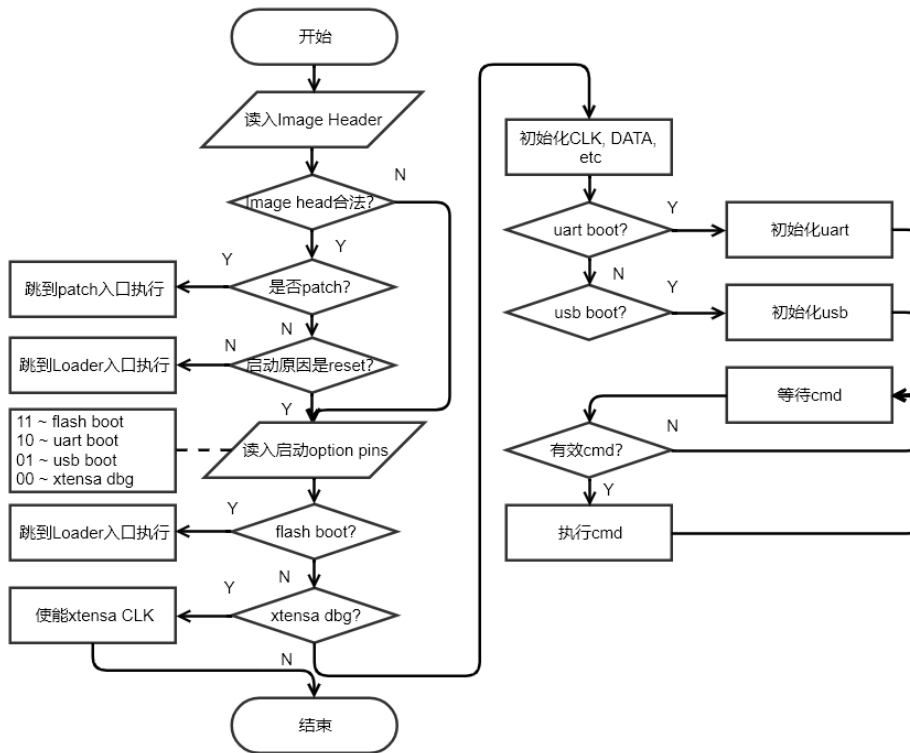


图 2.6 ROM 程序启动流程

2.2 PCB Layout 建议

1. 电源选择要参考 CSK6 对电源的需求，电源设计一般要留有余量，推荐使用下面的最大电源参数来选择器件：
VCC_IN/VBK_IN:3.3V±%5 / 500mA、5.0V±%5 / 500mA
2. 对于电容尽量选择较低 ESR 的电容并严格按照推荐的容值参数进行设计。
3. CSK6 的电容 PCB Layout 尽量靠近芯片放置。
4. BUCK 电感尽量靠近 CSK6 放置，走线尽量短粗。
5. 电源路径 VDD_CORE 要尽量短而粗，避免因 IR Drop 问题导致系统异常。
6. CSK6 4 路音频 ADC 需要采用差分且等长的方式进行布线。

PCB layout 图如 图 2.7 所示。黄色为 4 路差分 ADC 信号，紫色为 2 路差分音频输出。

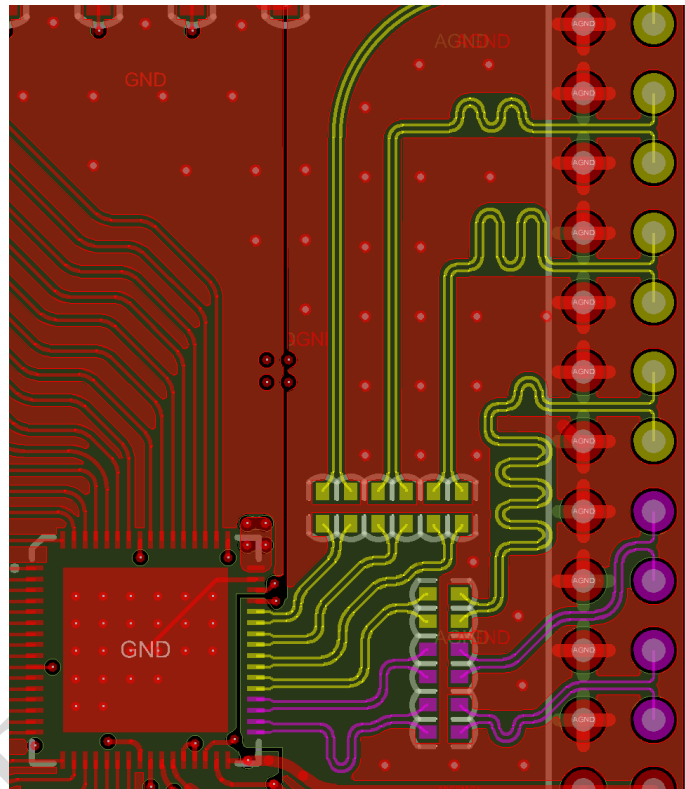


图 2.7 PCB Layout

3 CSK6 硬件开发

3.1 CSK6 电源

CSK6 芯片支持 2.7V 到 5.5V 直流电源供电，常见的供电电源电压为 5V，3.7V，3.3V，2.8V 等。5V 供电时的功耗在 250mW 以下（正常工作模式：DSP 工作在 250MHz，Master 工作在 250MHz），内核 0.9V 使用外部 DCDC 供电方式，可以进一步降低整体功耗，功耗可达 150mW 以下。

芯片在休眠模式下（Deep Sleep），可做到 5V 供电 1mA 以下的功耗；芯片在声音活跃检测模式下（VAD Mode），可做到 5V 供电 2mA 的功耗；芯片在待语音命令词唤醒模式下（DSP 工作在 100MHz，Master 工作在 150MHz，包含唤醒，离线识别，本地降噪功能），可做到 5V 供电 20mA 的功耗。

3.1.1 CSK6 电源特性

CSK6 电源主要分为外设电源“VCC”和内核电源“VBK”，“VCC”内部给“GPIO”、“USB”、“ADC”、“DAC”等外设，其 CSK6 芯片的各个电源引脚参数如表 3.1 所示。

表 3.1 CSK6 电源引脚参数

| 电源名称 | CSK6002/ CSK6012 | CSK6011A | 输入/出 | 输入电 压 | 输入最 大电流 | 输出电 压 | 输出最 大电流 | 说明 |
|---------|---------------------|----------|------|---------------|------------|---------------|------------|--|
| VCC | 25 | 29 | 输入 | 2.7V -5.5V | 200mA | / | / | 外设电源供电脚，VDD_IO 电源输入，接 10uF，100nF 电容 |
| VBK_IN | 49 | 46 | 输入 | 2.7V -5.5V | | / | / | 内核电源供电脚，VBK_SW 电源输入，接 10uF，100nF 电容 |
| VDD_IO | 26 | 30 | 输出 | / | / | 2.7V -3.6V | | VCC 经过 LDO 输出 3.3V，接 4.7 uF、100nF 电容（为了芯片工作稳定，不建议对外供电） |
| VDD_IO1 | 57 | 57 | 输入 | 2.7V -3.6V | | / | / | 3.3 V 输入，连接 VDD_IO，接 100 nF、4.7uF 电容 |

续下页

表 3.1 - 接上页

| 电源名称 | CSK6002/ CSK6012 | CSK6011A | 输入/出 | 输入电 压 | 输入最 大电流 | 输出电 压 | 输出最 大电流 | 说明 |
|-----------|---------------------|----------|------|---------------|------------|----------------------|------------|---|
| VBK_SW | 48 | 45 | 输出 | / | / | / | / | VBK_IN 输入, DCDC 的 BUCK 电路输出, 串接 3.3uH 电感, 然后对地接 10uF, 100nF 电容, 最终输出 1.8 V 电源 |
| VDD_IO2 | 46 | 43 | 输入 | 1.8V | / | / | / | 内核供电 1.8V 输入, 接 VBK_SW 引脚输出的电源 |
| VDD_CORE1 | 45 | 42 | 输入/出 | 0.9V -1.0V | 200mA | 0.8V -1.0V | / | 内核电源 0.9V, 与 VDD_CORE2 相连, 100 nF、4.7uF 电容 |
| VDD_CORE2 | 10 | 13 | 输入/出 | 0.9V -1.0V | | 0.8V -1.0V | / | 内核电源 0.9V, 与 VDD_CORE1 相连, 100 nF、4.7uF 电容 |
| AVDD_AUD | 27 | 31 | 输出 | / | / | 2.2V -2.7V | / | 模拟音频电源输出 2.5V, 接 VREEFP 引脚, 2.2uF 电容 |
| VDD_AON | 24 | 28 | 输出 | / | / | 0.8V | / | Always on Domain power, 1uF 电容 |
| MICBIAS0 | 31 | 35 | 输出 | / | / | 1.8V 2.0V 2.3V | 9mA | MIC1、MIC2 偏置电源输出, 2.2uF 电容 |
| MICBIAS1 | 32 | / | 输出 | / | / | 1.8V 2.0V 2.3V | 9mA | MIC3、MIC4 偏置电源输出, 2.2uF 电容 |

3.1.2 一般电源供电电路设计

CSK6 一般使用时, 直接将 2.7V~5.5V 电源连接到“VCC”和“VBK”即可工作, 电源拓扑示意图如 图 3.1 所示。

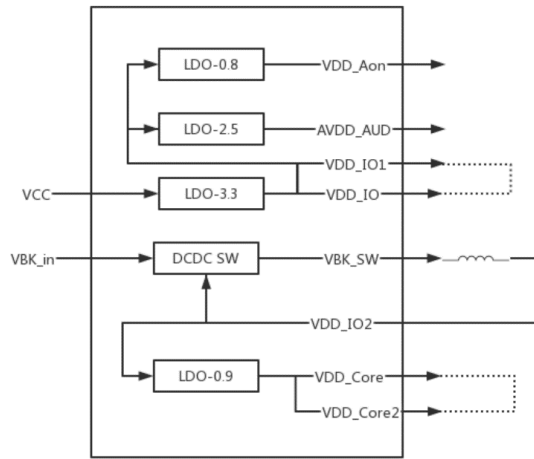


图 3.1 电源拓扑示意图

其芯片 IO 等外设电源 3.3V，是“VCC”电源经过芯片内部 LDO 输出，如果外部电源不大于 3.3V，则 LDO3.3V 输出将工作在 ByPass 模式，与外部电源直通。VDD_IO 和 VDD_IO1 必须在外部连接，并各自电容退耦。芯片内部 PSRAM 等接口的 VDD_IO2 的 1.8V 供电，是芯片内部 DCDC 降压获得；该 DCDC1.8V 电源作为 LDO0.9V 的电源输入，经 LDO 降压，为芯片的内核电源 0.9V 提供降压供电，内核电源的 VDD_CORE 和 VDD_CORE2 必须在外部连接，并各自电容退耦。

包括系统复位、晶振和电源部分的参考原理图如 图 3.2 所示。

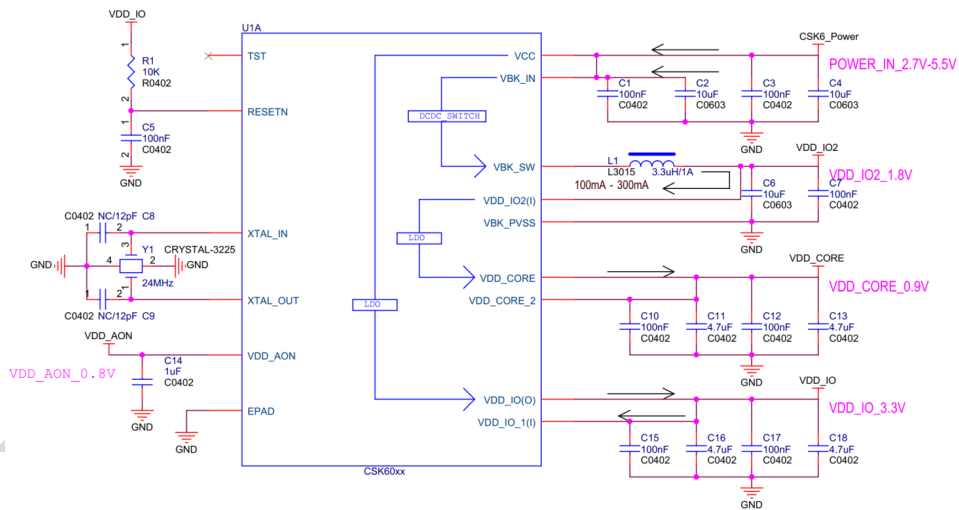


图 3.2 参考原理图

1. 供电：CSK6 供电电源连接到“VCC”和“VBK_IN”两个引脚上供电即可，即电源连接到“CSK_Power”电源上，即可正常工作。
2. 晶振：CSK6 的芯片内部有“7pF”左右的电容，可直接使用指定的“24MHz”的晶振。若使用其他的晶振时，建议合理负载电容，确保晶振准确可靠震荡。
3. 复位：CSK6 的系统复位为低电平复位，内部有 80K 的弱上拉，一般需要在外部添加 10K 的上拉，和 100nF 电容，实现上电自动复位。在外部电源供电不稳定（比如 5V 电源接插件输入，系统驱动较大的喇叭会有较大瞬时功率）时，可在外部添加一个“MCU 复位监控芯片”，监控电源电压，保证芯片能够可靠地启动和工作。为确保 CSK 芯片正常稳定工作，不建议将内部各电源输出为芯片外部的其他外设等芯片供电。

3.1.3 低功耗电源电路设计

降低功耗方式一：内核 0.9V 使用外部 DCDC 电源供电

CSK6 芯片的功耗消耗主要是内核部分，其内核部分供电是由“VBK_IN”经过 1.8V 的 DCDC 电源，再经过 LDO 将 1.8V 降压到 0.9V 进行供电。在 1.8V 降压到 0.9V 时，效率只有 50%，因此我们可以将 0.9V 电源更换成外部 DCDC 供电来降低功耗和芯片热量，大约节省 50mW 正常工作状态下电源消耗，DCDC 电源的使能脚由 1.8V 来控制。

使用外部 0.9V 供电时，可将外部供电电源的电压设置到 0.95V~1V，也可通过软件将内部 LDO0.9 电源关闭，直接使用外部 0.9V 电源供电，外部电源的使能脚由 1.8V 来控制。

降低功耗方式二：5V 供电时，将电源通过 DCDC 降低到 3.3V 给芯片供电

CSK6 芯片在 5V 供电时，连接到“VCC”和“VBK_IN”两个引脚上供电，其 3.3V 输出电源“VDD_IO”是通过 LDO 降压得到，一部分功耗变成了热量，在 5V 供电时，为降低功耗，可将 5V 电源通过 DCDC 降压到 3.3V 后给芯片供电。此方案节约电源有限，不建议单独为此增加电源品类。

低功耗电源设计优缺点

低功耗电源设计，既使用 DCDC 电源将 5V 电源降低到 3.3V 给系统供电，0.9V 使用外部 DCDC 输出 0.94V~1V 电源给内核供电，或通过内部关闭 0.9V 的 LDO，外部供电 0.9V 即可。DCDC 的转换效率高于 LDO，使用外部 DCDC 可降低功耗，但成本上有所提高，因此需要开发者根据整体系统的电源拓扑，合理折中选择“功耗”和“成本”的电源方案。

3.2 CSK6 MIC 电路

CSK6 芯片可以直接连接四路模拟麦克风或四路数字麦克风，输入四路音频信号连接到芯片内部 ADC0 到 ADC3。其中 MIC0 和 MIC1，连接到芯片内的“Always on Codec”（一直供电的 Codec，进入低功耗或休眠时不断电），然后连接到“VAD”模块，实现低功耗或休眠状态下，通过检测声音的大小超过设定阈值，来唤醒已经休眠系统进入正常运行模式。

3.2.1 模拟 MIC 电路

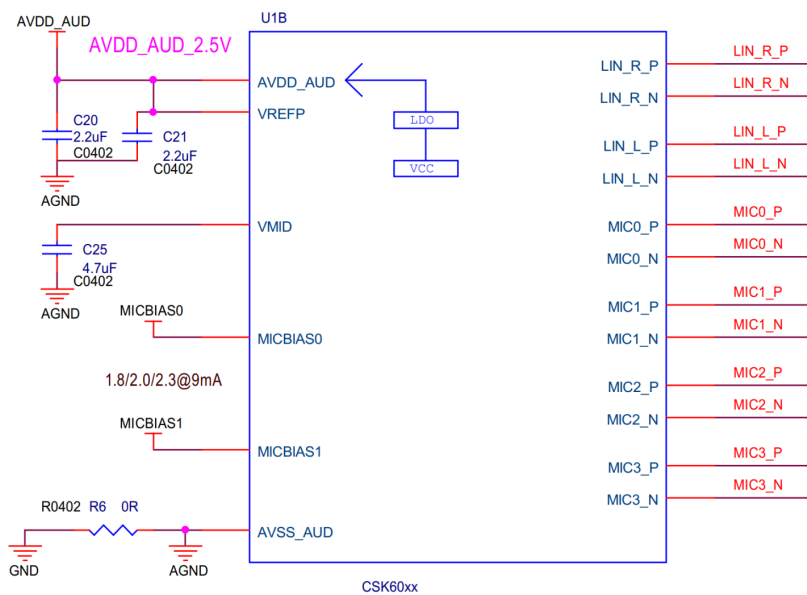


图 3.3 模拟 MIC 电路

CSK6002 与 CSK6012 有四路差分麦克风输入，CSK6011A 有 MIC0、MIC1 两路麦克风输入。其麦克风输入采样率支持 8KHz~48KHz 采样，最大位深 24bit。MICBIAS 的供电电压可设置为 1.8V，2V 和 2.3V，可对外提供 9mA 的低噪音稳定电源，满足一般的模拟麦克风、数字麦克风的激励供电。

常见的模拟麦克风有驻极体麦克风和硅麦克风，麦克风接法有差分 and 伪差分接法，差分接法抗共模干扰能力强，可相对长距离引线连接；伪差分接法减少物料使用，降低成本。

3.2.1.1 驻极体麦克风 (ECM) 电路设计

驻极体麦克风差分接法

驻极体麦克风差分接法一：

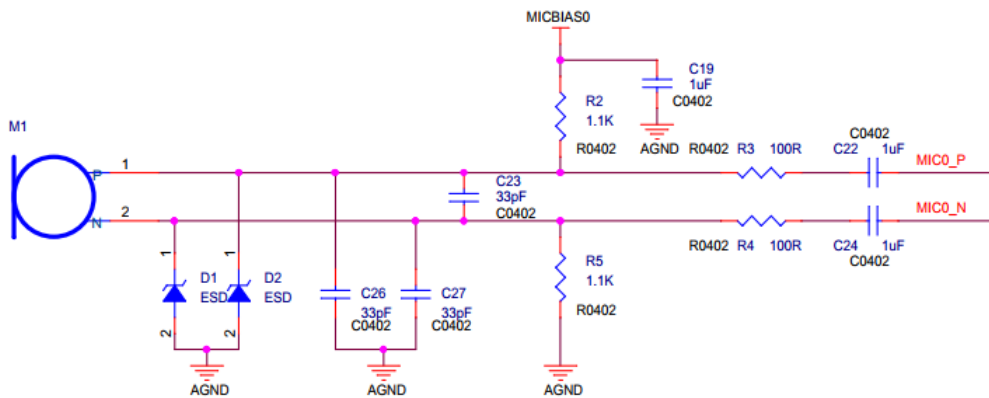


图 3.4 驻极体麦克风差分接法一

驻极体麦克风差分接法二：

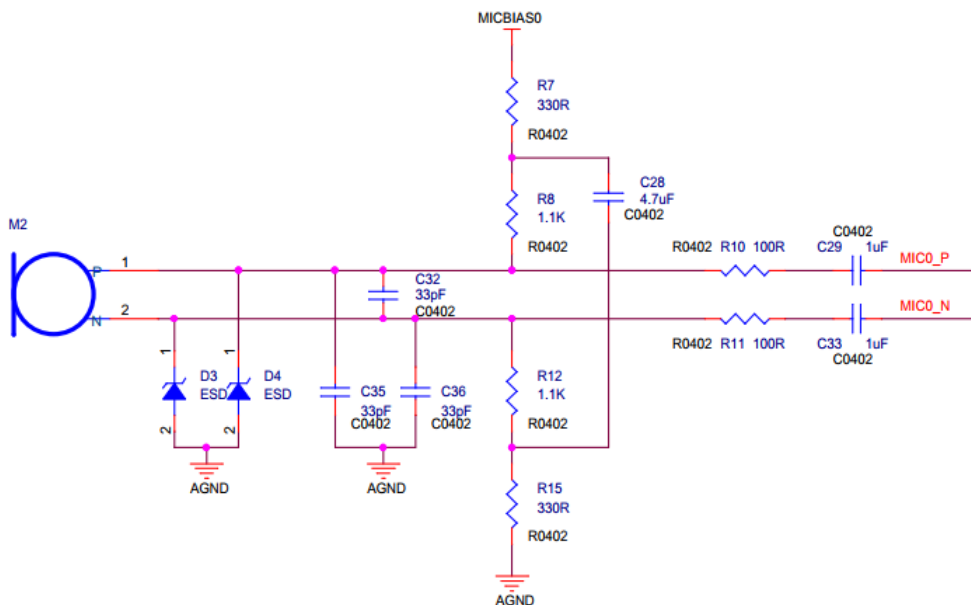


图 3.5 驻极体麦克风差分接法二

- ESD 防护：麦克风的“P”端和“N”端各对地连接一个 ESD，建议使用单向的 ESD 来防护静电，一般选择 3.3V 的 ESD。

2. 电磁滤波电容：麦克风的“P”端和“N”端各对地连接一个 pF 级电容，用于射频滤波，避免射频信号造成音频干扰。常用的有 18pF、33pF、68pF、100pF 等，开发者可以综合考虑射频频率和其他电容品类等因素综合考虑选用。
3. 偏置电源
 - 接法一：麦克风上下偏置电阻为 1.1K，偏置电源设置为 2V，去耦电容 1uF 或 2.2uF 等。
 - 接法二：在麦克风上下偏置电阻为 1.1K 同时，上下端各增加了一个 330R 电阻，与去耦电容 4.7uF 之间形成低通滤波，滤除 100Hz 以上电源干扰，偏置电源设置为 2.3V，一般适合偏置电源较差或外接麦克风偏置电源。
4. 高通滤波计算： $f=1/(2\pi RC)$ ，耦合电容大小一般设置为 10nF~2.2uF，ADC 内阻 0dB 增益时 60K，20dB 增益时 10.91K，则 0dB 增益时高通滤波范围是 1.2~26.5Hz。20dB 增益时高通滤波范围是：6.6~144.8Hz。一般滤除 100Hz 以下的频率。
5. 限流电阻：麦克风的“P”端和“N”端各串连接一个限流电阻，限流电阻应小于 1K，常用的有 100R，1K 等。此电阻对提高静电防护能力有一定的效果。
6. 差分接法优点：差分接法，抗干扰能力强，适合远距离引线。接法二中偏置电源增加了低通滤波，提高对偏置电源的抗干扰能力，适合用与偏置电源噪声大或使用外部偏置电源的场景。
7. 差分接法缺点：差分接法相对于单端伪差分接法阻容使用上较大，布局布线困难，成本相对较高。
8. 接法一与接法二的不同点：接法二在接法一上增加了电源的滤波。

驻极体麦克风伪差分接法

驻极体麦克风伪差分接法一：

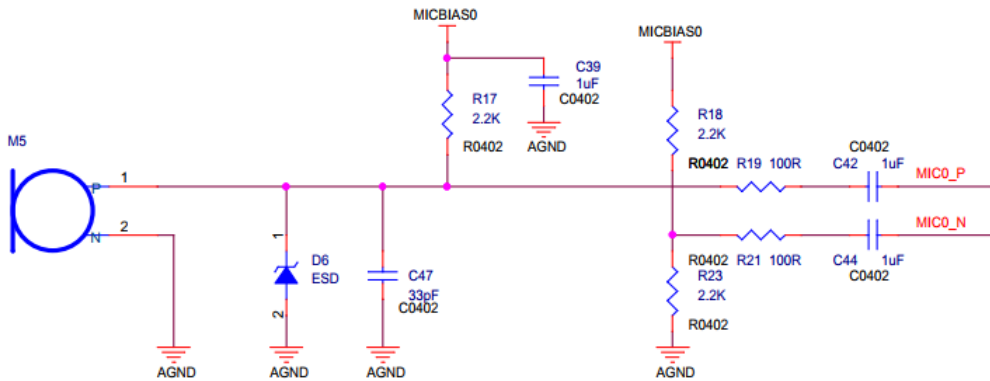


图 3.6 驻极体麦克风伪差分接法一

驻极体麦克风伪差分接法二：

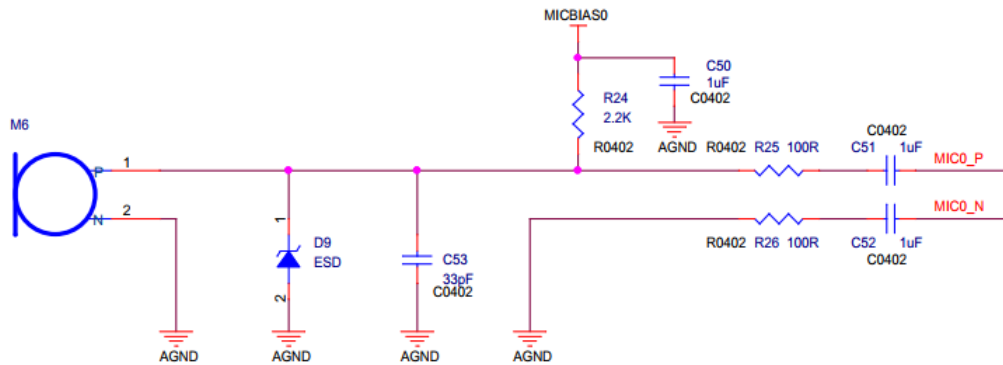


图 3.7 驻极体麦克风伪差分接法二

1. ESD 防护：麦克风的“P”端对地连接一个 ESD，建议使用单向 ESD，一般选择 3.3V 的 ESD。
2. 电磁滤波电容：麦克风的“P”端对地连接一个 pF 级电容，用于射频滤波，避免射频信号造成音频干扰。常用的有 18pF、33pF、68pF、100pF 等，开发者可以综合考虑射频频率和其他电容品类等因素综合考虑选用。
3. 偏置电源：麦克风的“P”端偏置电阻为 2.2K，偏置电源设置为 2V，去耦电容 1uF 或 2.2uF 等。
4. 高通滤波计算： $f=1/(2\pi RC)$ ，耦合电容大小一般设置为 100nF~2.2uF，ADC 内阻 0dB 增益时 60K，20dB 增益时 10.91K，则 0dB 增益时高通滤波范围是 1.2~26.5Hz。20dB 增益时高通滤波范围是：6.6~144.8Hz。一般滤除 100Hz 以下的频率。
5. 限流电阻：麦克风的“P”端串连接一个限流电阻，限流电阻应小于 1K，常用的有 100R，1K 等。此电阻对静电防护和抗干扰能力有一定的效果。
6. 伪差分接法优点：伪差分接法，节省阻容使用，相对节省成本。
7. 伪差分接法缺点：伪差分接法对差分干扰抑制能力略差，适合短距离的麦克风传输线。
8. 接法一与接法二的不同点：接法二在接法一上 CSK6 的麦克风“N”端的参考由地参考，增加了对电源的参考，消除偏置电源带来的共模干扰。

3.2.1.2 硅麦 (MEMS)

差分输出硅麦克风

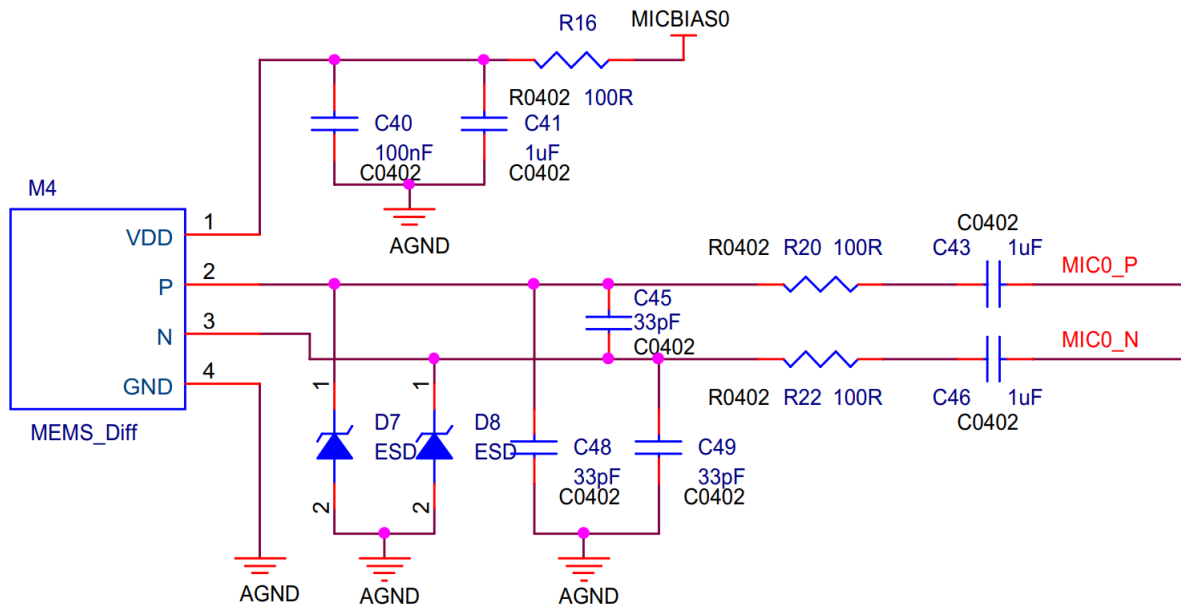


图 3.8 差分输出硅麦克风

1. ESD 防护：麦克风的“P”端和“N”端各对地连接一个 ESD，建议使用单向 ESD，一般选择 3.3V 的 ESD。
2. 电磁滤波电容：麦克风的“P”端和“N”端各对地连接一个 pF 级电容，用于射频滤波，避免射频信号造成音频干扰。常用的有 18pF、33pF、68pF、100pF 等，开发者可以综合考虑射频频率和其他电容品类等因素综合考虑选用。
3. 供电电源：硅麦克风供电电源一般是 1.6V~3.6V，可以直接使用 CSK6 的偏置电源供电，偏置电源串接 100R 限流电阻，去耦电容 100nF 和 1uF 两个电容；
4. 高通滤波计算： $f=1/(2\pi RC)$ ，耦合电容大小一般设置为 100nF~2.2uF，ADC 内阻 0dB 增益时 60K，20dB 增益时 11K，则 0dB 增益时高通滤波范围是 1.2~26.5Hz。20dB 增益时高通滤波范围是：6.6~144.8Hz。一般滤除 100Hz 以下的频率。
5. 限流电阻：麦克风的“P”端和“N”端各串连接一个限流电阻，限流电阻应小于 1K，常用的有 100R，1K 等。此电阻对静电防护和抗干扰能力有一定的效果。

单端输出硅麦克风

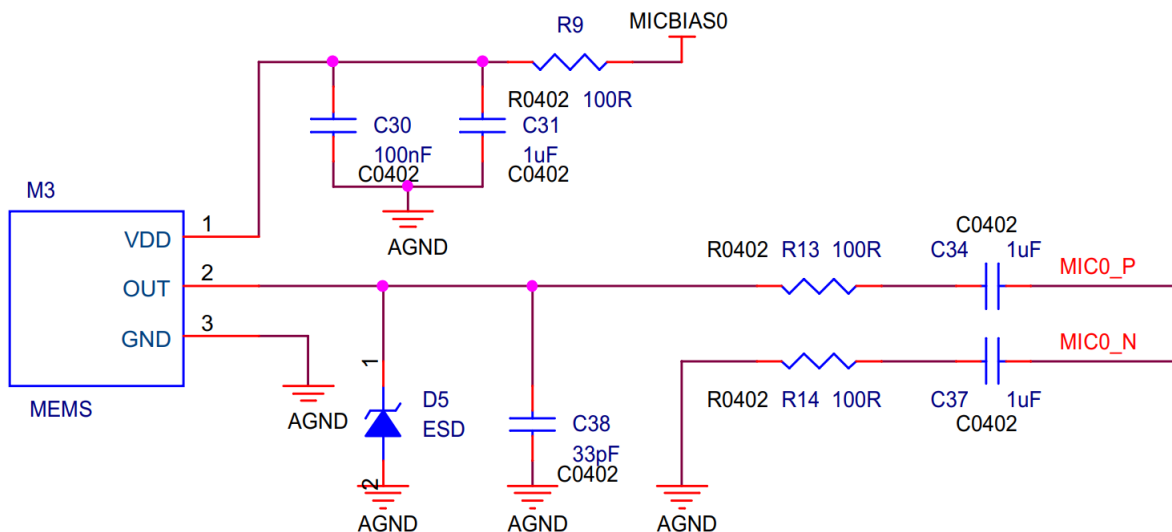


图 3.9 单端输出硅麦克风

1. ESD 防护：麦克风的“P”端对地连接一个 ESD，建议使用单向 ESD，一般选择 3.3V 的 ESD。
2. 电磁滤波电容：麦克风的“P”端对地连接一个 pF 级电容，用于射频滤波，避免射频信号造成音频干扰，常用的有 18pF、33pF、68pF、100pF 等，开发者可以综合考虑射频频率和其他电容品类等因素综合考虑选用。
3. 偏置电源：硅麦克风供电电源一般是 1.6V~3.6V，可以直接使用 CSK6 的偏置电源供电，偏置电源串接 100R 限流电阻，去耦电容 100nF 和 1uF 两个电容。
4. 高通滤波计算： $f=1/(2\pi RC)$ ，耦合电容大小一般设置为 100nF~2.2uF，ADC 内阻 0dB 增益时 60K，20dB 增益时 11K，则 0dB 增益时高通滤波范围是 1.2~26.5Hz。20dB 增益时高通滤波范围是：6.6~144.8Hz。一般滤除 100Hz 以下的频率。
5. 限流电阻：麦克风的“P”端串连接一个限流电阻，限流电阻应小于 1K，常用的有 100R，1K 等。此电阻对静电防护和抗干扰能力有一定的效果。

3.2.1.3 阻抗关系表和截止频率对照表

音频 ADC 模拟增益与音频 ADC 输入阻抗关系表，及 100nF、1uF 和 2.2uF 耦合电容时的截止频率对照表参见表 3.2。

表 3.2 音频 ADC 模拟增益与音频 ADC 输入阻抗关系表，及 100nF、1uF 和 2.2uF 耦合电容时的截止频率对照表

| 音频 ADC 模拟增益值 (dB) | 音频 ADC 输入阻抗值 (KΩ) | 100nF 耦合电容时的高通截止频率 (Hz) | 1uF 耦合电容时的高通截止频率 (Hz) | 2.2uF 耦合电容时的高通截止频率 (Hz) |
|-------------------|-------------------|-------------------------|-----------------------|-------------------------|
| 36 | 1.87 | 851.53 | 85.15 | 38.69 |
| 34 | 2.35 | 677.60 | 67.76 | 30.79 |
| 32 | 2.94 | 541.62 | 54.16 | 24.61 |
| 30 | 3.68 | 432.71 | 43.27 | 19.66 |
| 28 | 4.59 | 346.92 | 34.69 | 15.76 |
| 26 | 5.73 | 277.90 | 27.79 | 12.63 |
| 24 | 7.12 | 223.65 | 22.36 | 10.16 |

续下页

表 3.2 - 接上页

| 音频 ADC 模拟增益值 (dB) | 音频 ADC 输入阻抗值 (KΩ) | 100nF 耦合电容时的高通截止频率 (Hz) | 1uF 耦合电容时的高通截止频率 (Hz) | 2.2uF 耦合电容时的高通截止频率 (Hz) |
|-------------------|-------------------|-------------------------|-----------------------|-------------------------|
| 22 | 8.83 | 180.33 | 18.03 | 8.19 |
| 20 | 10.91 | 145.95 | 14.06 | 6.63 |
| 18 | 13.42 | 118.66 | 11.87 | 5.39 |
| 16 | 16.42 | 96.98 | 9.70 | 4.41 |
| 14 | 19.96 | 79.78 | 7.98 | 3.62 |
| 12 | 24.09 | 66.10 | 6.61 | 3.00 |
| 10 | 28.83 | 55.23 | 5.52 | 2.51 |
| 8 | 34.17 | 46.60 | 4.66 | 2.12 |
| 6 | 40.06 | 39.75 | 3.97 | 1.81 |
| 4 | 46.42 | 34.30 | 3.43 | 1.56 |
| 2 | 53.12 | 29.98 | 3.00 | 1.36 |
| 0 | 60.00 | 26.54 | 2.65 | 1.21 |
| -2 | 66.88 | 23.81 | 2.38 | 1.08 |
| -4 | 73.58 | 21.64 | 2.16 | 0.98 |
| -6 | 79.94 | 19.92 | 1.99 | 0.90 |
| -8 | 85.83 | 18.55 | 1.86 | 0.84 |
| -10 | 91.17 | 17.47 | 1.75 | 0.79 |
| -12 | 95.91 | 16.60 | 1.66 | 0.75 |

高通滤波截止频率计算公式： $f = 1 / (2\pi RC)$ 。高通截止频率指的是幅度衰减 3dB 的频率点。

3.2.2 数字 MIC 电路

CSK6 可以同时连接四路 PDM 接口的麦克风，如图 3.10 所示。

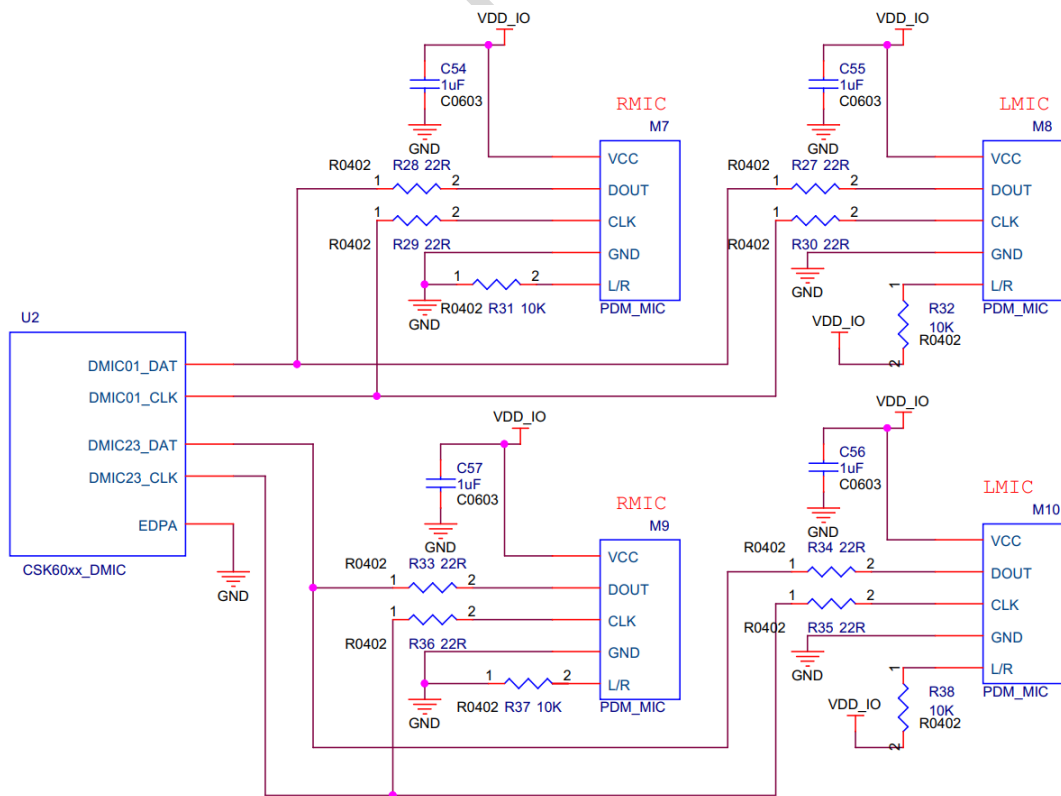


图 3.10 数字 MIC 电路

CSK6 支持四路 PDM 麦克风，支持输出时钟 4MHz、2MHz、800KHz 等，采样率可设置为 8~16KHz。DMIC0/1 与模拟麦克风 MIC0，MIC1 内部数字通道相连，作为 VAD 唤醒通道。DMIC2/3 与模拟麦克风 MIC2、MIC3 内部数字通道相连。即模拟麦克风与数字麦克风共用数据缓冲区，在同一个设计中，CSK6 只能连接数字麦克风或只能连接模拟麦克风。

3.2.3 MIC 电路的 PCB 布局

麦克风布局注意事项：

1. 尽量保持差分特性的布局布线。
2. 弱信号线周边不可以有其他信号线临近，需要地线环绕。
3. 麦克风应处于终端位置，注意其他强干扰信号，因地线反弹干扰麦克风回路。
4. 注意保持模拟地的单点接地，并关注接地点局部的噪音情况。

3.3 CSK6 播音电路

CSK6 的 DAC 支持采样率 8KHz~96KHz，位深 24bit。CSK6002、CSK6012 支持两路差分音频输出，CSK6011A 支持两路单端音频输出。CSK6 输出阻抗 10K，播放满幅度音频时，单端音频输出 0.75Vrms，差分音频输出电压 1.5Vrms。

3.3.1 Line OUT 电路

CSK6 的 Line OUT 输出阻抗较大，在驱动耳机或喇叭时需要增加功放，其 Line OUT 连接方式有以下三种。

1、CSK6 差分输出：

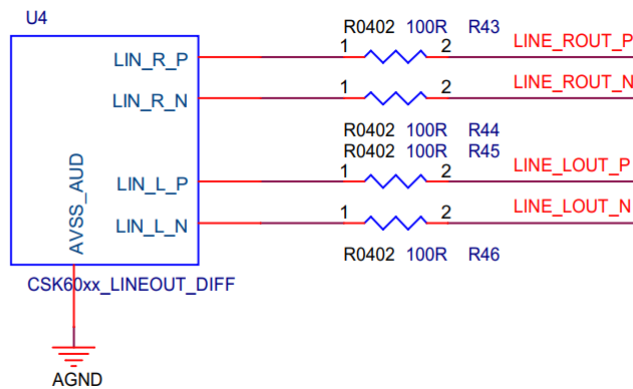


图 3.11 CSK6 差分输出

2、CSK6 单端输出：

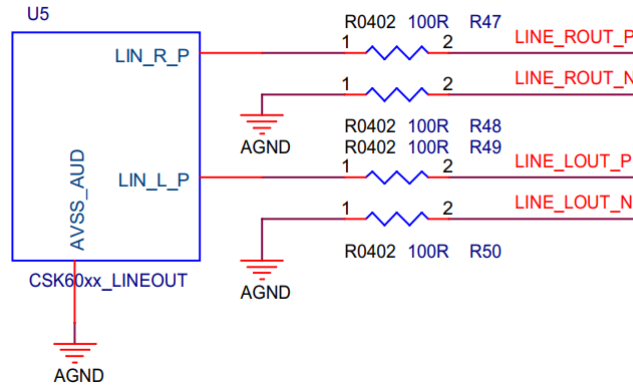


图 3.12 CSK6 单端输出

3、CSK6 伪差分输出:

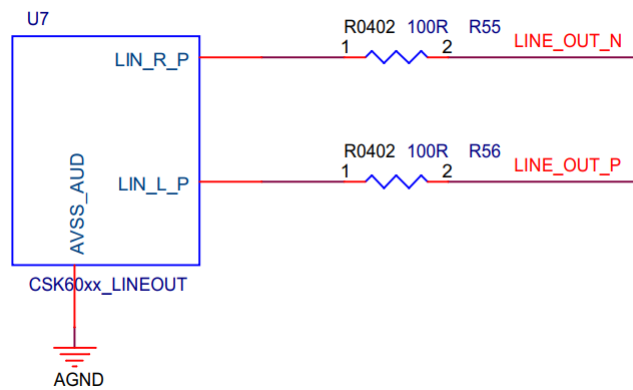


图 3.13 CSK6 伪差分输出

伪差分的优点是，保留了差分输出相当的抗共模干扰的能力，同时因幅度可以提高 6dB，提高了相对本底噪音的信噪比 6dB。缺点是需要在软件上，实现左右声道反相输出，至少需要一个声道输出为 0，不可以左右复制，或者 MONO 模式输出。

当使用单端的输出的时候，在布局布线上，其连接功放“N”端的“AGND”要从芯片旁的“AGND”连出，使得传输线上的共模干扰一致。

3.3.2 PA 电路

3.3.2.1 D 类功放

差分输入：

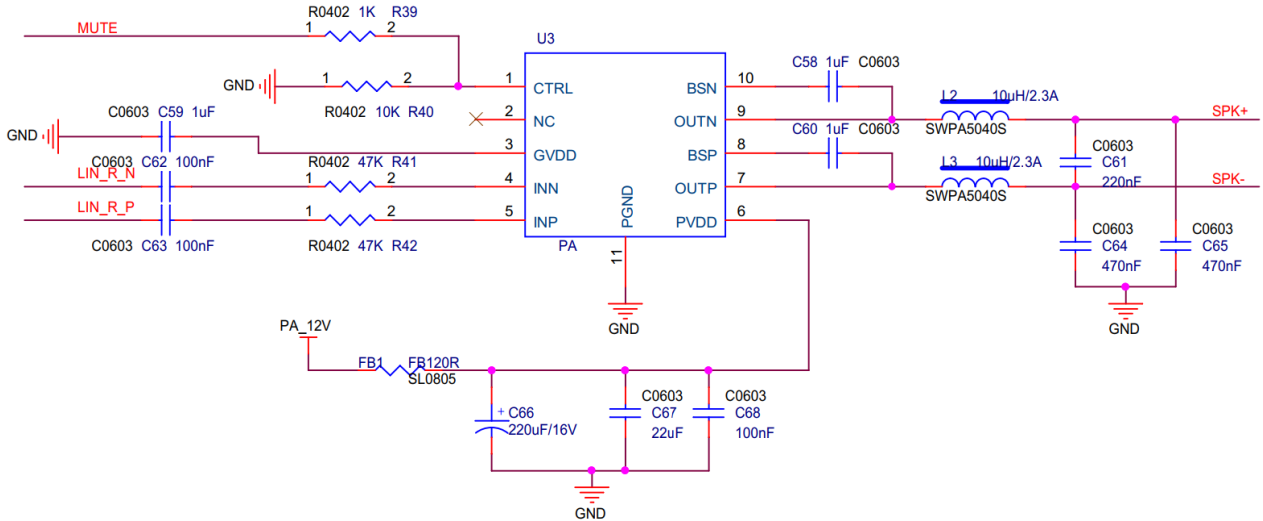


图 3.14 差分输入

单端输入：

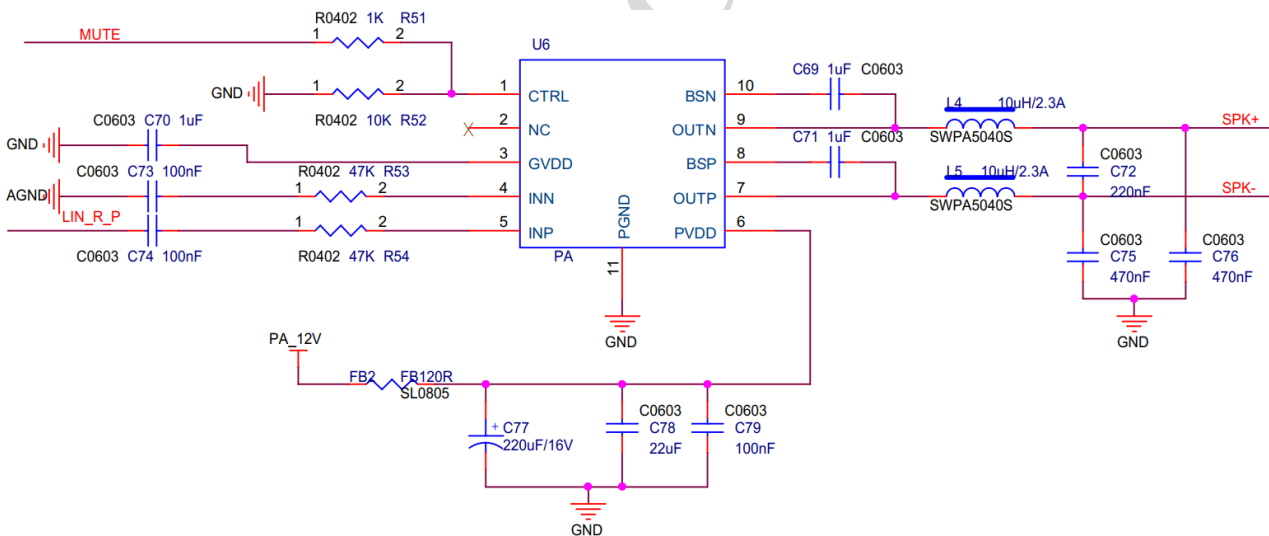


图 3.15 单端输入

1. PA 输入高通滤波： $f=1/(2\pi RC)$, $f=1/(2*3.14* (47K+16K) *10^{-7})=25.3Hz$ 。
2. 默认功放关闭：PA 的使能脚“CTRL”，注意缺省配置的电阻设计，确保缺省为关闭模式，否则开机会有咔哒声。
3. PA 电源旁路电容：PA 功率小于 3W 时，旁路电容一个 22uF 陶瓷电容，一个 100nF 陶瓷电容；PA 功率大于 3W 时，一般增加一个 100uF 以上的铝电解电容。
4. 放大倍数计算： $A=R_i/R_f$ 。
5. PA 最大输出功率简化参考计算： $P_{max}=(PVDD*PVDD)/(2*R)$ ，例：12V 供电，4R 扬声器，最大输出功率 18W。

6. 输出滤波:

电感滤波: 适用于较长引线或大功率, 避免沿途污染其他设备和电路; EMC 要求较高场合。

磁珠滤波: 适用于较端引线或小功率, 避免沿途污染其他设备和电路; EMC 要求较高场合。

7. 防 POP 音措施: 先打开 CSK6 的 DAC, 再打开 PA; 尽可能减小输入隔直电容, 抑制低频和快速无咔哒声使能。

3.3.2.2 AB 类功放

大部分 AB 类功放, 都是单端输入接法, 如果系统布局布线受限, 很难规避地线反弹噪音, 建议采用伪差分的输入电路设计。参考 BL6281 的推荐设计如 图 3.16 所示。

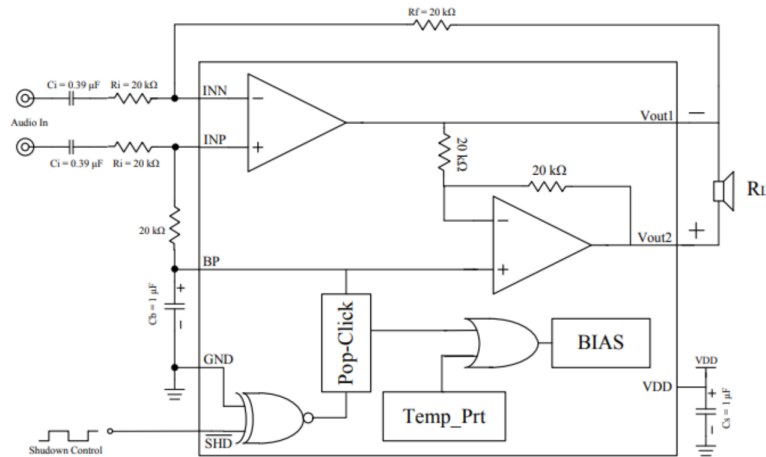


图 3.16 BL6281 Differential Amplifier Configuration

3.3.3 AEC 电路

CSK6 的回采分压、滤波电路:

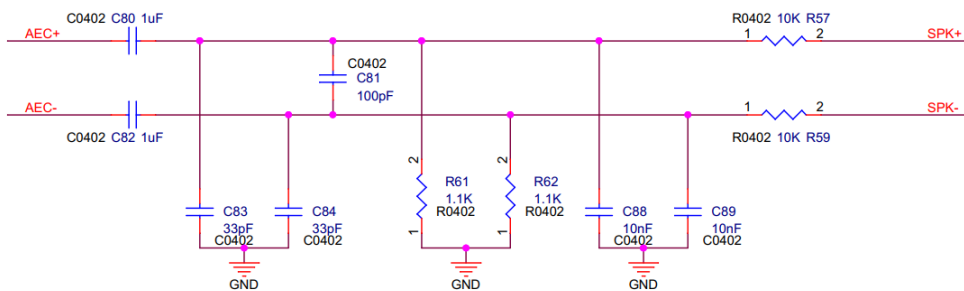


图 3.17 AEC 电路

1. 幅度分压: $A = (R_s + R_d) / R_d = (10K + 1.1K) / 1.1 = 10.09$ (倍), 则 SPK 输出 5Vp 波形时, 分压后 0.5Vp, SPK 输出 12Vp 时, 分压后 1.19Vp。
2. 高通滤波耦合电容: $f = 1 / (2\pi RC)$, 在 ADC 设置为 20dB 增益时, 输入阻抗 11KR, 则高通滤波频率 $f = 1 / (2 * 3.14 * 11K * 10^{-6}) = 14.5Hz$ 。
3. 低通滤波: $f = 1 / [2\pi (R_s / R_d) C]$, 截止频率 $f = 1 / [2\pi * (10K / 1.1k) * 10nF] = 15.92KHz$ 。

3.4 CSK6 连接主控芯片

当 CSK6 芯片需要与互联网或蓝牙设备传输信息时，则需要通过一个 WiFi 或 BT 等主控芯片来进行网络或蓝牙信息的传输。此时 CSK6 则与主控芯片之间需要连接相应的接口，一般包含音频传输接口、消息通信接口、固件升级接口等。其接口示意图如 图 3.18 所示。

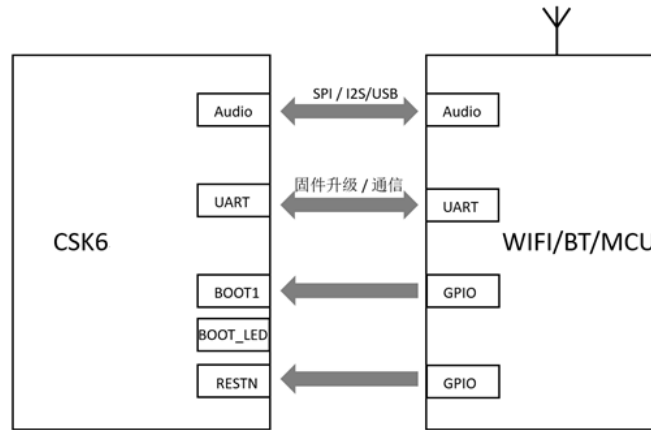


图 3.18 接口示意图

3.4.1 音频传输接口

CSK6 连接到主控芯片传输音频，一般使用 SPI、I2S 或 USB 接口进行音频传输，其 USB 支持 UAC1.0 传输。一般传输主控需要播放的音频给 CSK6 进行播放（建议主控直接播放音频）；或者 CSK6 需要上传处理后的音频到主控芯片，CSK6 上传麦克风拾取的音频，是经过回声消除、环境降噪等处理后的音频。

3.4.2 通信接口

CSK6 连接主控芯片之间的消息传输，一般使用 UART 传输，传输一些控制等信息。此串口一般连接到 CSK6 的 PA15 (UART2_RXD) 和 PA18 (UART2_TXD)，可同时实现串口通信和固件串口升级功能。

3.4.3 固件升级

主控对 CSK6 固件升级步骤：

1. 主控连接到 CSK6 芯片“BOOT1”引脚的 GPIO 输出低电平，CSK6 芯片“BOOT0”引脚要一直输入高电平或悬空不接，让 CSK6 准备进入 UART 启动模式。
2. 主控连接到 CSK6 芯片“RESTN”引脚的 GPIO 输出低电平，让 CSK6 复位，延时一段时间，然后输出高电平，让 CSK6 运行，此时 CSK6 进入 UART 启动模式，CSK6 的“PA16”脚会输出 4Hz 方波，需注意连接到此引脚的外设是否会受到影响。
3. 主控与 CSK6 通过 UART（串口 UART2：RX2/PA15，TX2/PA18 引脚）握手与传输升级内容。
4. 主控对 CSK6 的“BOOT1”输出高电平，主控对 CSK6 再复位一次，即可完成一次 CSK6 固件升级。

3.5 CSK6 接口资源

3.5.1 常用硬件接口

本章节主要介绍 CSK6 的通用接口资源包括 GPIO、UART、SPI、USB、I2C、I2S、SDIO、ADC 电路设计注意事项。

3.5.1.1 GPIO 电路设计要点

CSK6 GPIOA 口输入电压范围为 2V~5.5V，GPIOB 口输入电压范围为 2V~3.6V。GPIOA 和 GPIOB 输出范围为 2V~3.6V 低电平范围为 -0.3V~0.8V，其中 CSK6002 有 32 个 GPIO，CSK6011 有 33 个 GPIO，CSK6012 有 26 个 GPIO，每个 GPIO 可配置上下拉电阻，除 GPIOB00 和 GPIOB01 默认内部为高电平其它 IO 均为高阻态默认低电平。输出电流典型值 22mA，输入电流典型值为 15mA，GPIOA12 默认输出状态（JTAG TDO）（JTAG 和 SWD 的默认状态需要加入）。

1. GPIOA_00 和 GPIOA_01 boot 固件默认定义为 SWDCLK 和 SWDIO 功能，建议这两个 IO 作为芯片调试和烧录引脚。
2. GPIOA_02 和 GPIOA_03，在 CSK 开发板中作为日志调试 debug 引脚。
3. GPIOA_15 和 GPIOA_18，可作为 PCBA 量产串口，烧录时分别作为 RX2 和 TX2，默认波特率为 115200，可在 UBoot 中通过协议更改。
4. 当进入串口 boot 模式时 GPIOA_16 会作为输出并以 4Hz 的频率反转电平，设计时需注意该输出电平反转在烧录模式时是否会影响外设的工作状态，引起继电器的动作，以及喇叭使能引起的噪音。
5. GPIOB_00 和 GPIOB_01，内部有默认配置上拉电阻，两个 IO 上电前的状态会影响 CSK6 的 boot 模式。这两个引脚接到其它外设时，一定要评估外设的状态是否会影响这两个 IO 的状态，并确保上电前这两个 IO 上电前为高电平，避免芯片进入 boot 模式从而无法正常启动。

| GPIOB0 | GPIOB1 | Mode Description |
|--------|--------|------------------|
| 1 | 1 | NOR flash boot |
| 1 | 0 | UART |
| 0 | 1 | Reserved |
| 0 | 0 | Reserved |

6. 以上 GPIO 在原理图设计中，如需量产需要预留测试点，便于烧录和厂测。

3.5.1.2 UART 电路设计要点

CSK6 总共有 4 个串口，支持 3M 波特率，UART0-UART2 串口支持流控。其中 UART3 为 CP 核调试使用，暂不支持用户开发使用，硬件设计时需要避免使用。

1. 建议 GPIOA_02 和 GPIOA_03 做为 UART0 在我们开发板中作为日志调试 debug 引脚。
2. 如果上位机需要通过串口给 CSK6 OTA 升级固件时，必须采用 GPIOA_15 作为 RX 和 GPIOA_18 作为 TX 与上位机串口连接。
3. 针对与上位机通讯的接口，以及作为量产产品需要预留 ESD 器件防止静电损坏 IC，预留测试点方便厂测和开发调试，电路参考如 [图 3.19](#) 所示。

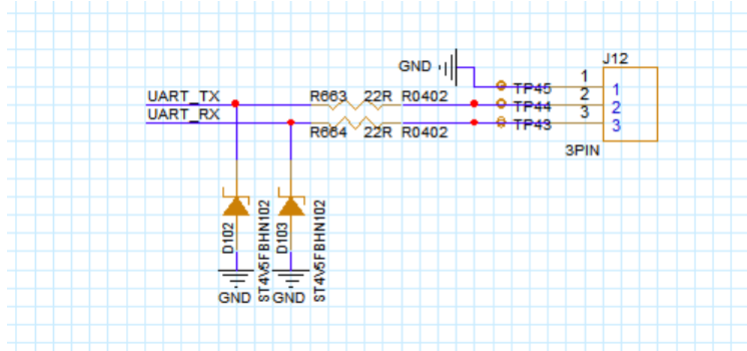


图 3.19 电路参考

4. 如果上位机电平超过 5V 或者上位机为 5V 电平而 CSK6 采用的 GPIOB 的 IO 为串口，并且波特率小于 100K 时，可参考以下电平转换电路，当有更高波特率时，请选择专用串口电平转换芯片设计。

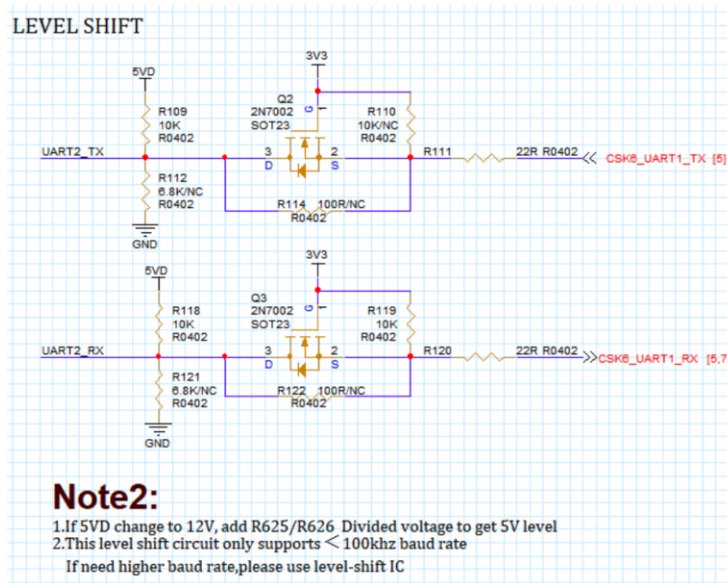


图 3.20 电平转换电路

3.5.1.3 SPI 电路设计要点

CSK6 共有 3 组 SPI 接口，其中一组作为 QSPI 被内置或者外置 flash 暂用。支持主从模式，作主设备时最快支持 50M CLK，作为从设备时最高支持 25MCLK。

1. 外部 NOR flash 设计参考 flash 电路设计要点。
2. 每根数据线建议串接端接电阻。
3. 当采用 GPIOB_00 和 GPIOB_01 做为 SPI 接口时，需要确保外设在上电前不会将这两个 IO 拉低。
4. PCB 走线避免打过孔尽量在顶层走线，走线尽量可能短和等长，有条件建议每条线做包地处理，无条件优先保证 CLK 包地处理。

3.5.1.4 USB 电路设计要点

CSK6 一共有 1 个 USB 且只能作为从机设备，支持 1.1 FS 12Mbps，拥有 8 个可编程端点。USB 接口独立于 IO function，通过 GPIOB10 DP 和 GPIOB11 DM IO 口引出，芯片上电默认为 USB 接口。

1. USB 作为供电口，建议电源线预留浪涌管。
2. DP 和 DM 建议串接端接电阻，预留 ESD 器件。
3. DP 和 DM 的 1.5K 上拉电阻，CSK6 USB 口 IO 内部支持可使能上拉 1.5K。
4. 如果产品需要量产，需注意 VCC GND DP DM 4 个网络上留有测试点。
5. 采用 TYPE-C 接口时评估 USB 供电设备是否有协议 IC 影响供电，在 CC1 和 CC2 对地接 5.1K 电阻，避免由于协议 IC 的存在而无法给设备供电。
6. 在 PCB 走线上需走差分，PCB 制板要求走线 90Ω 阻抗要求。

CSK6 的 USB 接口参考电路如 图 3.21 所示。

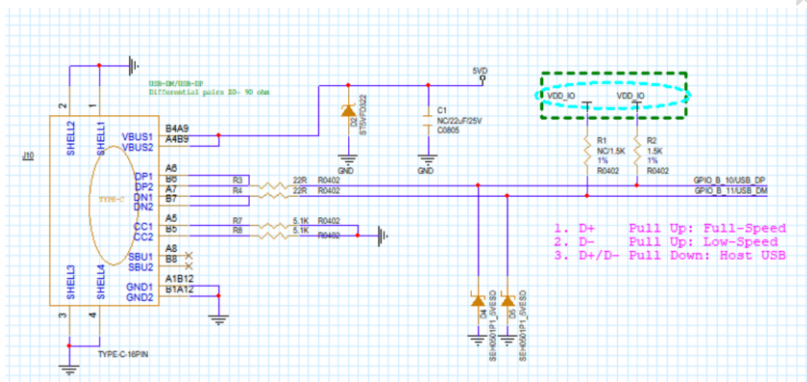


图 3.21 USB 接口参考电路

3.5.1.5 I2C 电路设计要点

1. CSK6 共有 2 组 I2C，所有的 IO 口均可配置为 I2C 接口，支持主从模式、7 位和 10 位寻址，最高支持 1Mb/s。
2. 每个 I2C 设备都有一个单独的地址，在原理图设计时需要保证每个设备地址不重复。
3. 在靠近设备主机芯片处接上拉电阻，电阻一般推荐在 2.7K 左右，根据配置速率配置电阻。
4. 在靠近从机设备的芯片的位置串接端接电阻。

3.5.1.6 I2S 电路设计要点

CSK6 共有 3 个独立的 I2S 通道，支持 TDM 协议。

因 I2S 和内部 ADC 和 DMIC 芯片内部共用硬件缓存器，会存在使用内部 ADC 和 DAC 时，有些 I2S 通道无法使用。使用 I2S 时，必须严格按照 表 3.3 检查。

表 3.3 检查表格

| Occupied ADC/DAC | Available I2S | Available DMIC | Description |
|----------------------|------------------------|----------------|------------------------------|
| ADC01 only, no DAC | I2S1, I2S2 | DMIC2, DMIC3 | |
| ADC23 only, no DAC | I2S0, I2S1 or I2S2 | DMIC0, DMIC1 | I2S1 or I2S2 (either-or) |
| ADC01+ADC23, no DAC | I2S1 or I2S2 | None | I2S1 or I2S2 (either-or) |
| ADC01 only, with DAC | I2S0, I2S2(IN) | DMIC2, DMIC3 | I2S2(IN) |
| ADC23 only, with DAC | I2S0, I2S1 or I2S2(IN) | DMIC0, DMIC1 | I2S1 or I2S2(IN) (either-or) |

续下页

表 3.3 - 接上页

| Occupied ADC/DAC | Available I2S | Available DMIC | Description |
|-----------------------|------------------|----------------|------------------------------|
| ADC01+ADC23, with DAC | I2S1 or I2S2(IN) | None | I2S1 or I2S2(IN) (either-or) |

I2S 的时钟和数据线在靠近外设串接端接电阻，在 PCB layout 上走线尽量可能短，有条件建议每条“时钟线”和“数据线”做包地处理，无条件优先保证“时钟线”包地处理。

3.5.1.7 SDIO 电路设计要点

1. CSK6 芯片只有一组 SDIO 接口，最高时钟 25M，可配置为单线或者 4 线模式。
2. 建议时钟和数据线串接端接 22R 电阻，如果为 SD 卡上拉 10K 电阻。
3. 建议设计使用 ESD 器件，避免静电损坏 IC。
4. CSK6 采用 SDIO 协议和 WiFi 芯片或者蓝牙芯片通讯时，建议串接端接电阻，参考 WiFi 芯片或者蓝牙芯片参考电路设计，确定时钟线和数据线是否要接上拉电阻。
5. 在 PCB layout 上走线尽量可能短，有条件建议每条线做包地处理，无条件优先保证 CLK 包地处理。

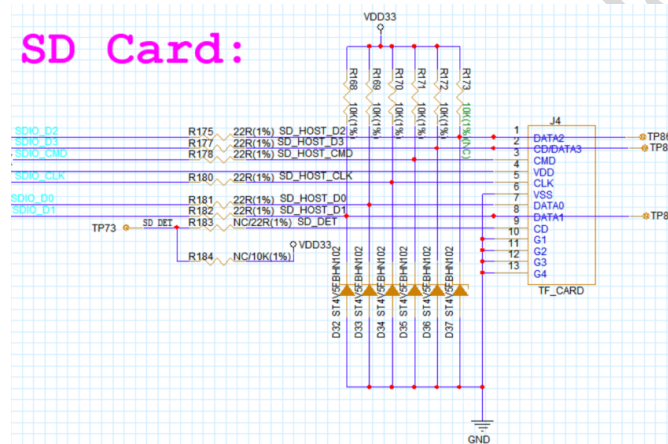


图 3.22 SD 卡参考电路

3.5.1.8 GPADC 电路设计要点

CSK6002 和 CSK6012 共 4 组 ADC（包含 keysense），CSK6011 共 5 组 ADC（包含 keysense）。均支持 12 位采样进度，可编程控制内部或者外部参考，最快转换速率为 1Mhz，最大输入电压为 3.3V。

3.5.1.9 可直接访问外设

可访问 CSK6 芯片内的外设有两个内核，AP 和 CP，AP 是运行应用程序的 ARM 内核，CP 是运行算法的 HIFI4 内核，连接外设时，需要确定外设需要连接到哪个内核上，其内核对应可直接访问的外设接口如 表 3.4 所示。例：外扩 Codec 时，我们需要将 I2S 和 I2C 连接到 Codec 上，I2S 只能由 CP 直接访问，则只能使用 I2C1，而不能使用 I2C0。

表 3.4 可直接访问外设

| AP 可直接访问的外设接口 | CP 可直接访问的外设接口 |
|---------------|---------------|
| UART0 | I2S |
| UART1 | Audio Codec |
| UART2 | I2C1 |
| IR | SPI1 |
| SPI0 | UART2 |
| SPI1 | DVP |
| I2C0 | |
| I2C1 | |
| GPADC | |
| GPT | |

3.5.2 Touch Pad 电路

CSK6 共支持 6 个 touch pad 输入，对应 GPIBO0~GPIBO5，采用使用 Touch PAD 时，注意使用的 IO 不能外接上拉，在原理图上串接端接电阻并预留 ESD。

3.5.2.1 PCB 布局

1. 芯片及匹配电阻位置

在 PCB 板空间允许的情况下，应尽量将 CSK6 放置在触控板的中间，使 IC 的每个感应通道的引脚到触控按键的距离差异最小；匹配电阻（建议选择 510 欧）应尽量靠近 CSK6 放置。

2. 匹配电容 CS

可利用 Cs 电容调整灵敏度，Cs 电容值越小灵敏度越高，灵敏度调整必须根据实际应用的 PCB 来做调整，Cs 电容值的范围为 1~50pF。

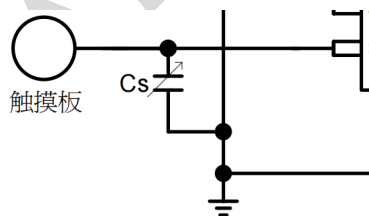


图 3.23 匹配电容 CS

3.5.2.2 PCB 布线

1. 触控走线尽量短和细（建议 7~15mil），同一条走线尽量不要使用过孔和跳线，若有使用，建议不超过两个。
2. 多 KEY 走线时，走线长度尽量做到差异最小（IC 放置在多 KEY 的中心位置）。
3. 触控走线彼此间的间距尽量大，尽可能的保证在两倍线宽以上。
4. 触控走线尽量避开其它元器件、大电流和高频信号线（IIC、SPI、RF 等高频信号线），在没办法避免的情况下，让两者垂直走线，不能走平行线，或者在两者之间加地线隔离。
5. 感应按键的投影面强烈建议不放置元器件或走其他的信号线；若是铜箔式感应按键应敷阻焊油、不露铜。

3.5.2.3 触控面板材料选择

1. 触控面板的材料必须是绝缘的或者是非导电性的，避免使用金属及含碳等导电材料。
2. 同一触控灵敏度等级下，触控面板的厚度越大，触控的灵敏度越低，信噪比也越低；使用亚克力材料时，建议材料厚度在 3~6mm。
3. 触控面板材料的介电常数过小，触控按键感应的灵敏度会变差，此时可减小灵敏度等级，以增大触控灵敏度；反之，若介电常数过大，触控按键易发生误动作，此时可增大灵敏度等级，以减小触控灵敏度。

3.5.3 Keysense 电路

CSK6 的 GPIO_B05 具有 Keysense 的功能，这个功能主要是实现按键唤醒 + 按键中断 + ADC 输入，基本逻辑框图如下：

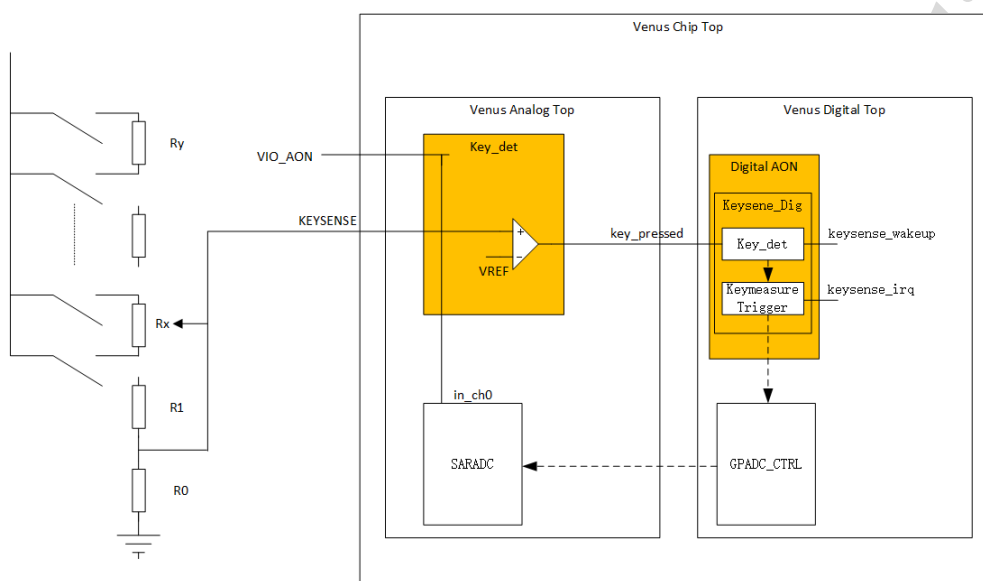


图 3.24 Keysense 电路逻辑框图

按键唤醒、中断功能指，处理器在低功耗休眠期间，可以配置该按键输入电压大于 $V_{ref}=0.4V$ 时，唤醒处理器进入工作模式，以及产生按键中断。

另外该 Keysense 内部是作为的多路输入的 Input6 连接到内部 SARADC，因此既可以考虑采用单一按键，或者采用 ADC 按键，实现单线多按键。考虑到内部 $V_{ref}=0.4V$ ，推荐采用如下按键设计方案，没有复合按键功能，低电压对应按键优先。图中选用优选阻值，并设定 ADC 基准是 $VCC_{IO}/2$ （内部基准是 1.25V），开发者可以根据上述按键原理，设计其他方案。

在 ADC 输入的框图中，说明输入是固定的范围 0-3.3V，不受到基准的影响。

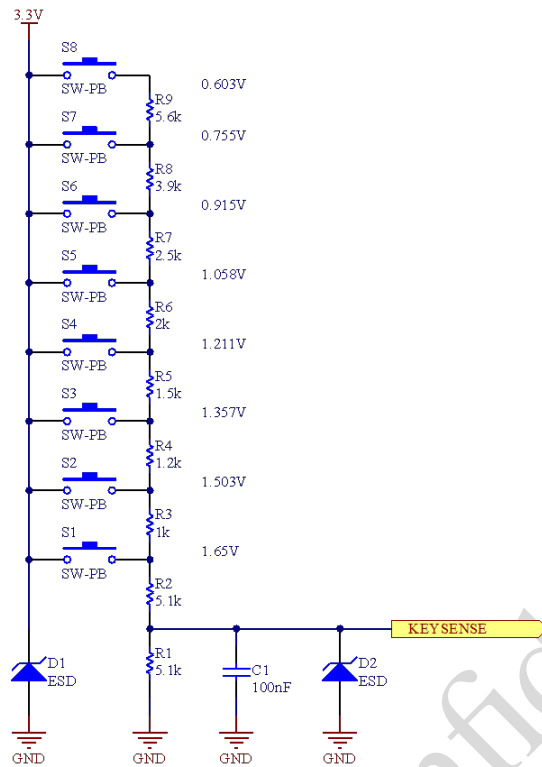


图 3.25 Keysense 参考电路

3.5.4 Flash 电路

CSK6002 内置 8M NOR flash。CSK6011 和 CSK6012 需要外部匹配 NOR flash，占用封装 54、55、56、58、59、60 引脚。外接 flash 时需注意以下几点。

1. CS、HOLD、WP 引脚预留上拉。
2. 数据引脚建议串接端接电阻，端接电阻根据波形质量匹配。
3. Flash 的选型建议时钟大于 120M。
4. PCB 走线避免打过孔尽量在顶层走线，走线尽量可能短和等长，有条件建议每条线做包地处理，无条件优先保证 CLK 包地处理。

CSK6 的 NOR flash 参考电路如 [图 3.26](#) 所示。

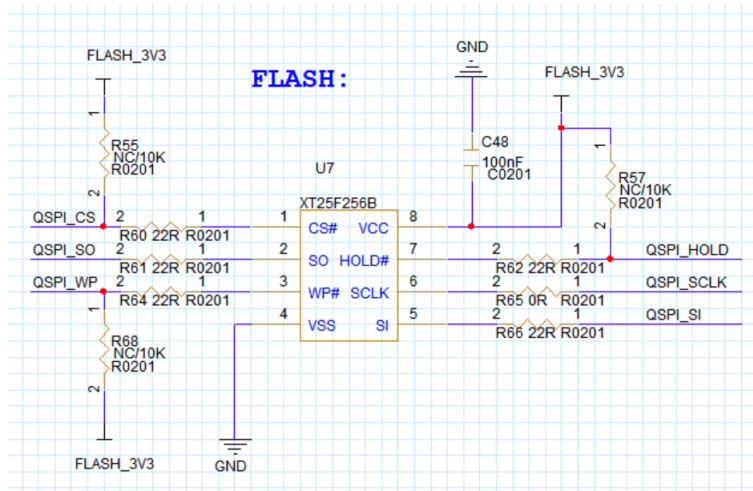


图 3.26 NOR Flash 参考电路

CSK6 的 flash 参考 PCB 布局布线如 图 3.27 所示。

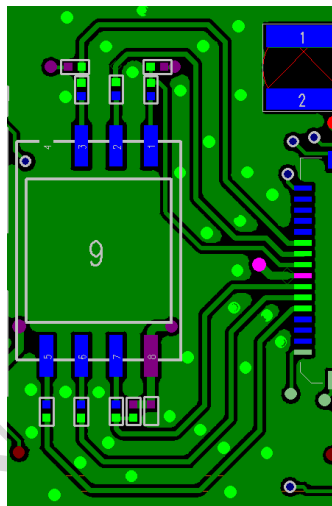


图 3.27 Flash 参考 PCB 布局布线

3.6 CSK6 DVP 使用

3.6.1 DVP 接口控制器特性

CSK6 系列 DVP 接口支持 YUV422, YUV420, Raw Data 三种数据格式。数据的位宽可以支持 8bit 到 12bit 的设置。摄像头的帧率和分辨率，统一按照 raw data(8bit) 来说明支持的帧率和分辨率，极限的分辨率和帧率就是 1280*720/60fps。如果希望帧率提高一倍，那么分辨率需要降低一倍。

| | |
|-----------------|--|
| 支持的数据格式 | YUV422, YUV420, Raw Data |
| 接口字长 | 8bits、12bits |
| 图像规格 (Raw data) | 1280x720/60 fps 640x480/120 fps 640x480/30 fps (Default) |

3.6.2 DVP 接口描述和设计建议

DVP 接口数据引脚为 D0~D11，在电路设计时需要注意，因 DVP 驱动仅支持左对齐或者右对齐，摄像头为 8 位数据，可以接 D0~D7 或 D4~D11。其它接法暂不支持。

表 3.6 DVP 接口描述和设计建议

| 项目 | DVP 外设定义 | CSK6 接口建议 1 | CSK6 接口建议 2 | 备注 |
|-----|----------------|-----------------|------------------|---|
| I2C | SCL | SC11 | | 配置 sensor 寄存器的 IIC 接口 |
| | SDA | SDA1 | | |
| DVP | PWDN | GPIO | | DVP 设备使能控制 |
| | Vsync | i_v_sync | | 帧同步信号，一般为几十 Hz，与帧率 FPS 相同； |
| | Hsync | i_h_sync | | 行同步信号，一般为几十 KHz； |
| | Pclk | i_pixel_clk | | pixel clock, 像素时钟, 每个时钟对应一个像素数据，一般为几十 MHz |
| | Xclk | clkp_out | | 外部晶振或主控输出给 sensor 的驱动时钟，典型值是 24MHz； |
| | RST | GPIO | | DVP 设备复位 |
| | D0~D7 或者 D2~D9 | i_pixel_data0~7 | i_pixel_data4~11 | DVP 像素数据 |

从上表可以看出，DVP 摄像头的接口的有效数据输出接口为 D0~D7，或者 D2~D9（10bits Sensor），共计 8bit 像素数据，可以连接 CSK 内部的 DVP 控制器接口的高 8 位或者低 8 位；具体选择高 8 位还是低 8 位需要根据其他外设的使用情况定义，因为 DVP 关联引脚较多，需要考虑和其他引脚功能定义干涉。

3.6.2.1 DVP 接口参考设计一

1. 复用 BOOT 引脚，要确保 DVP 设备上电时处于关机状态，即 PWDN 引脚上电时处于高电平。
2. 复用串口升级，便于通过 DVP 的接口 FPC 接口进行固件升级。

| DVP | CSK6002/CSK6012/CSK6011 | 备注 |
|-------|-------------------------|----------------|
| D0 | CSK6_GPIOB0_D0 | BOOT 引脚，内部有弱上拉 |
| D1 | CSK6_GPIOB1_D1 | BOOT 引脚，内部有弱上拉 |
| D2 | CSK6_GPIOB2_D2 | |
| D3 | CSK6_GPIOB3_D3 | |
| D4 | CSK6_GPIOB4_D4 | |
| D5 | CSK6_GPIOB5_D5 | |
| D6 | CSK6_GPIOB6_D6 | |
| D7 | CSK6_GPIOB7_D7 | |
| Xclk | GPIO_A11_CLK | DVP 时钟输入 |
| PCLK | GPIO_A15 | 串口升级 RX2 |
| RST | GPIO_A16 | 串口升级时 LED 闪烁指示 |
| Hsync | GPIO_A17 | |
| Vsync | GPIO_A18 | 串口升级 TX2 |
| PWDN | GPIO_A19 | 电阻上拉，上电默认关 |
| SDA | GPIO_A02_SDA1 | |
| SCL | GPIO_A03_SCL1 | |

电路原理图局部参考如 图 3.28 和 图 3.29 所示。

CSK 供电为 5V 时，DVP 设备供电为 2.8V。CSK6 在 5V 供电时 IO 口电平为 3.3V，为了让 CSK 输出口的电平与 DVP 的 2.8V 供电电平相匹配，则在 CSK 的输出口 RST、CLK 上进行分压处理，RST 由 1k 和 10k 电阻分压，CLK 由 100R 和 1k 电阻分压。PWDN 引脚需要上电时上拉电平，则由二极管隔离 3.3V 电平。

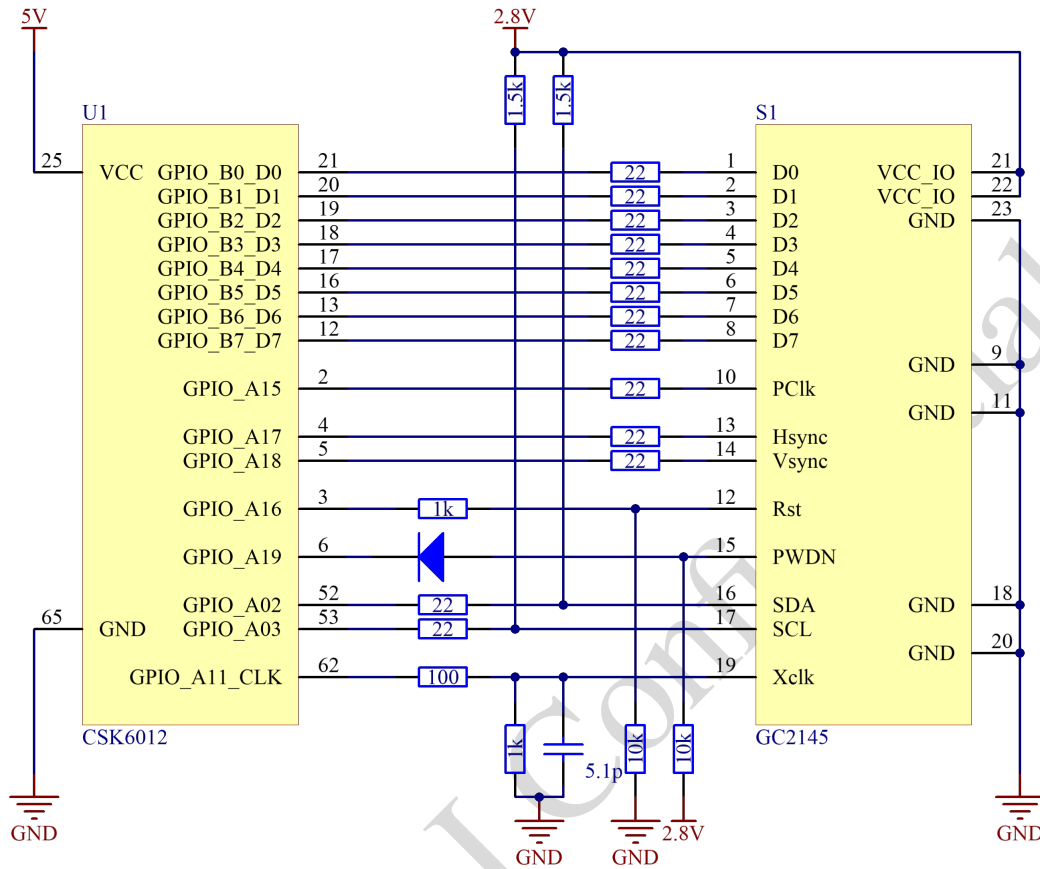


图 3.28 电路原理图局部参考 1

CSK6 供电为 2.8V 时，DVP 设备供电为 2.8V。CSK 支持 2.7V~5.5V 供电，当 CSK6 与 DVP 都由 2.8V 供电时，只需将 PWDN 引脚上拉，无需分压与隔离。

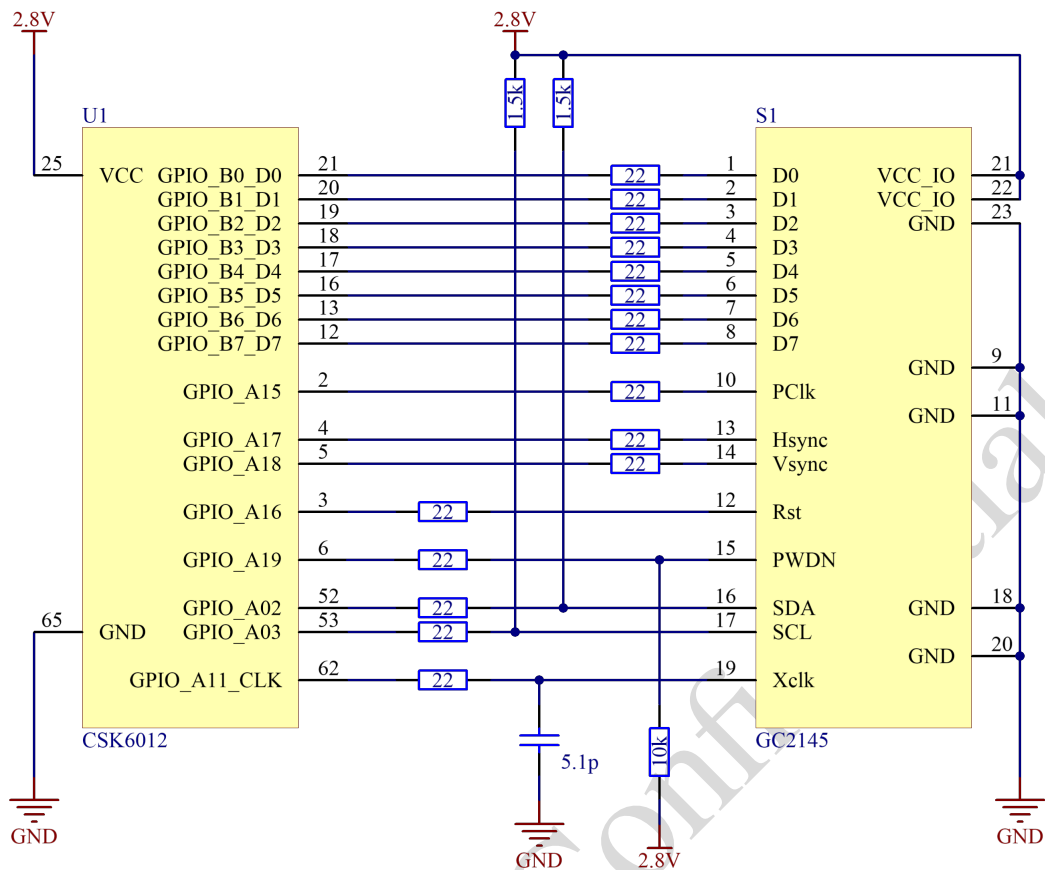


图 3.29 电路原理图局部参考 2

3.6.2.2 DVP 接口参考设计二

系统外设复用少，但引脚不连续。

| DVP | CSK6002/CSK6011 | 备注 |
|-------|-----------------|----------------------|
| D0 | CSK6_GPIOA4_D4 | |
| D1 | CSK6_GPIOA5_D5 | |
| D2 | CSK6_GPIOA6_D6 | |
| D3 | CSK6_GPIOB7_D7 | |
| D4 | CSK6_GPIOB8_D8 | |
| D5 | CSK6_GPIOB9_D9 | 仅 CSK6011A 支持 GPIOB9 |
| D6 | CSK6_GPIOA8_D10 | |
| D7 | CSK6_GPIOA9_D11 | |
| Xclk | GPIO_A11_CLK | DVP 时钟输入 |
| PCLK | GPIO_A12 | |
| RST | GPIO_A16 | 串口升级 LED 闪烁指示 |
| Hsync | GPIO_A13 | |
| Vsync | GPIO_A14 | |
| PWDN | GPIO_A19 | |
| SCL | CSK6_B3_SCL1 | |
| SDA | CSK6_B4_SDA1 | |

电路原理图局部参考如 图 3.30 图 3.31 所示。

CSK6 供电为 5V 时，DVP 设备供电为 2.8V。CSK6 在 5V 供电时 IO 口电平为 3.3V，为了让 CSK 输出口的电平与 DVP 的 2.8V 供电电平相匹配，则在 CSK6 的输出口 RST、PWDN，CLK 上进行分压处理，RST、PWDN 由

1k 和 10k 电阻分压，CLK 由 100R 和 1k 电阻分压。

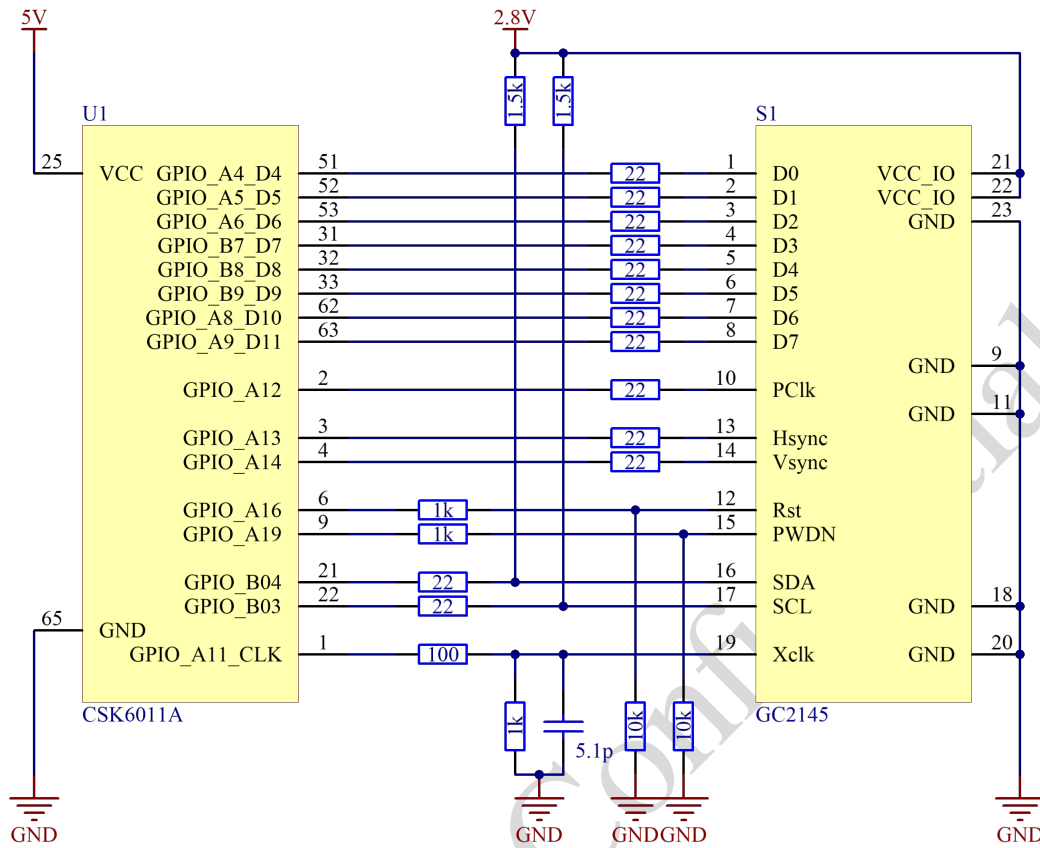


图 3.30 电路原理图局部参考 3

CSK6 供电为 2.8V 时，DVP 设备供电为 2.8V。CSK 支持 2.7V~5.5V 供电，当 CSK6 与 DVP 都由 2.8V 供电时，只需将 PWDN 引脚上拉，无需分压与隔离。

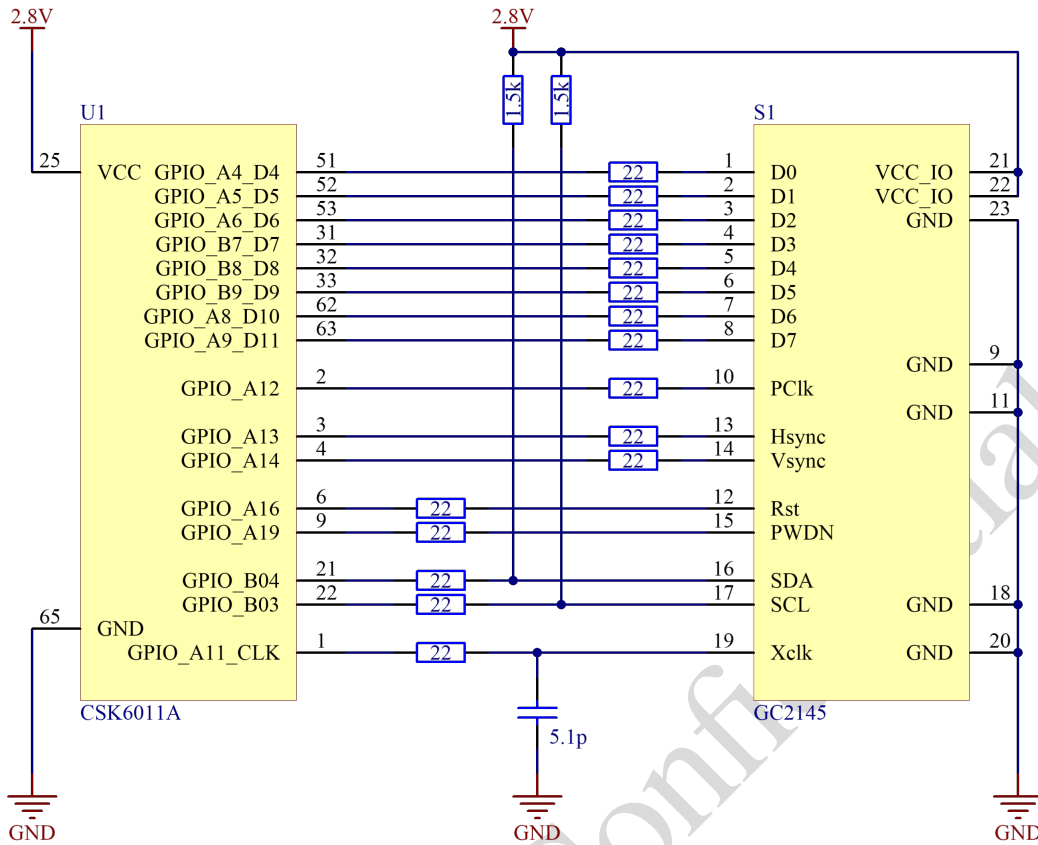


图 3.31 电路原理图局部参考 4

3.6.2.3 DVP 接口电平转换

一般 Sensor 设备的供电范围是 2.7V~3.0V，CSK6 的 IO 电压是 2.7V~3.3V，因此有以下两种方法实现时钟接口电平兼容：

1. CSK6 和 Sensor 均采用 2.8V 电源供电，强制 IO 电源为 2.8V，无 IO 电平兼容问题。
2. CSK6 采用 3.3V 供电，Sensor 采用 2.8V 供电，此方案中 CSK6 可以兼容接受 Sensor 的 2.8V 的电平信号，但 Sensor 无法安全兼容 CSK6 输出的 3.3V 信号，因此需将 CSK6 输出的 3.3V 的 CLK、PWDN、RST 信号电压降低到 2.8V 附近，避免影响 Sensor 的稳定性和寿命。信号电平转换的参考示例如图 3.32 所示（因器件、分布参数差异，具体阻容值需根据信号质量调整）。

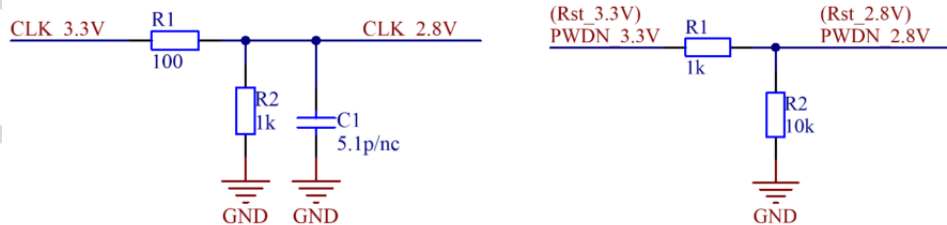


图 3.32 信号电平转换参考示例

注：因 CSK 内阻原因，实际输出幅度是 2.8V 附近；C1 可以根据信号质量选用。

3.6.2.4 DVP 电路设计建议事项

1. Sensor 的电源稳定性非常重要，电源有问题的话，图像就可能出现异常现象。
2. PCLK 时钟频率较高，注意防止对其他敏感信号的干扰。
3. HSYNC 和 VSYNC 信号尤其重要，需要注意远离高速时钟线，以免受到干扰，最好加 GND shielding。
4. CLK、Data 信号引线尽可能短，并且走线不要超过两个过孔。

LISTENAI Confidential

4 SMT 生产制造

回流焊曲线如 图 4.1 所示。

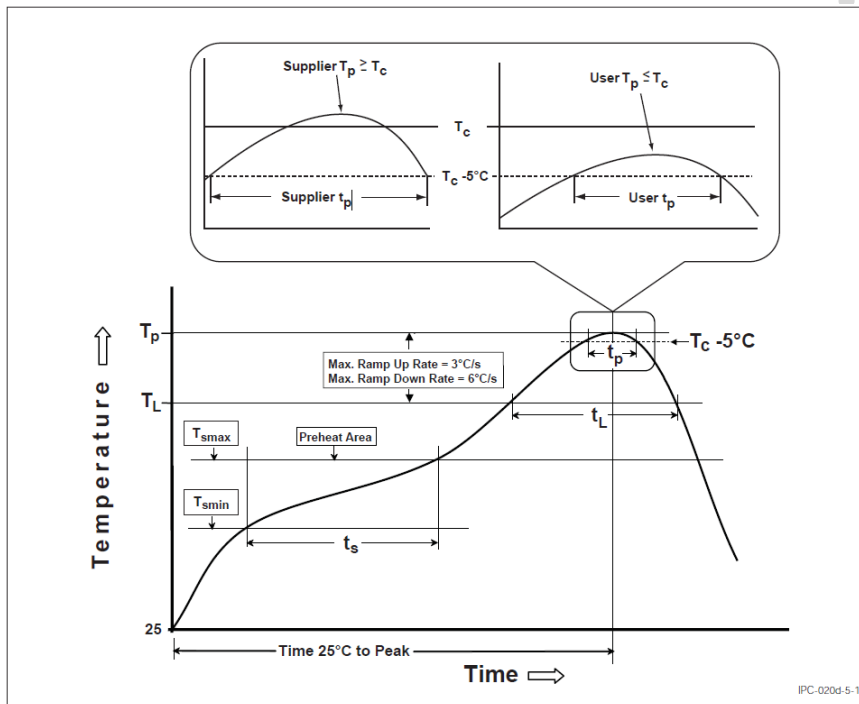


图 4.1 回流焊曲线

回流焊条件参见 表 4.1。

表 4.1 回流焊条件

| | |
|---|--|
| Peak package body temperature(T_p) | T_p must not exceed the Classification temp (T_c) in table below |
| Time(t_p) within 5°C of the specified classification temperature(T_c) | 30 seconds max |
| Ramp-down rate(T_p to T_L) | 6°C/second max |
| Time 25°C to peak temperature | 8 minutes max |

| Package Thickness | Volume mm ³ <350 | Volume mm ³ 350-2000 | Volume mm ³ >2000 |
|-------------------|-----------------------------|---------------------------------|------------------------------|
| <1.6mm | 260°C | 260°C | 260°C |
| 1.6mm-2.5mm | 260°C | 250°C | 245°C |
| >2.5mm | 250°C | 245°C | 245°C |

5 FAQ

当 CSK6 硬件出现问题时，按照以下方法逐一排查：

1. 检查各路电源是否处于正常范围，并无异常波动。
2. 检查 GPIOA16 引脚是否有信号翻转（flash 中无用户应用程序）。
3. 检查芯片 boot 模式是否是用户所期望的模式。
4. 使用 Jlink 调试器是否能够找到内核 ID。

关于 CSK6 硬件开发指南的内容到此结束，用户在综合成本、性能的前提下，尽量按照 CSK6 硬件开发指南进行相关设计。若有疑问，请及时与我司联系，谢谢！

LISTENAI Confidential

6 附录 1

CSK6 内部电源树结构如 图 6.1 所示。

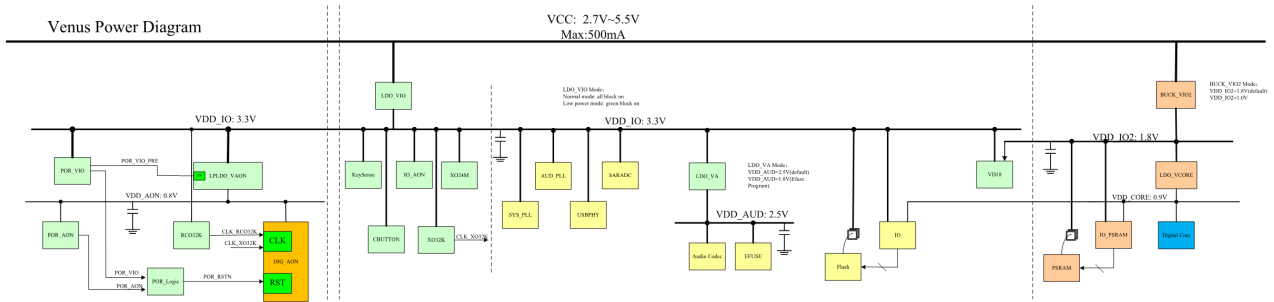


图 6.1 CSK6 内部电源树结构

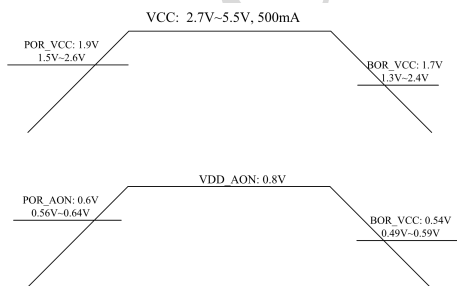


图 6.2 POR BOR 阈值

Power System 说明:

1. 电源系统分成 AON domain, CORE domain, IO domain 和 Audio domain。
2. VCC 电源典型值 3.3V/5V, 供电范围 2.7V~5.5V。
3. VDD_IO 和 VDD_AON 是 always on 的。
4. VCC 上电 VDD_IO 先上电, VDD_IO 上电在 100us 以内。
5. POR_VIO 检测 VIO, 而非 VCC, 由于 VDD_VIO 是 always on 的。
6. POR_VIO 的 POR 阈值设定在 2.2V, 经过 Analog delay 140us 后, 释放 POR33_PRE, 同时启动 LDO_AON(启动时间 15us), POR33_PRE 经过模拟 95us 延时释放 POR_VIO 信号。
7. POR_AON 挂在 VDD_AON domain 做为 VDD_AON 0.8V 上电检测, 模拟 delay 180us, 和 POR_VIO 后的上电检测信号进行与操作, 产生 POR_RSTN 信号, 作为上电复位的双保险。
8. POR_RSTN 释放后, 数字状态机逐步打开 VDD_IO2 和 VDD_CORE。
9. RCO32K 默认是打开的, 随 VDD_AON 上电而启动, 启动较快, 启动时间在 100us 以内。

10. XO32K 默认是关闭的，启动较慢，启动时间在 100ms~500ms 之间，在系统正常工作后，由软件控制是否打开。
11. XO24M 默认是关闭的，在 POR_VIO 释放后打开，起振时间在 1.5ms 以内，数字采用 RCO32K 的时钟计数来保证 XO24M 正常起振时间，同时要考虑 RCO32K 时钟变快 1 倍并留出余量。
12. POR_VIO 和 POR_AON 同时兼顾 POR 和 BOR 的功能。
13. POR_VIO 的 POR 阈值为 1.9V，BOR 阈值为 1.7V。
14. POR_AON 的 POR 阈值为 0.6V，BOR 阈值为 0.54V，为了保证在 VDD AON=0.8V 时，上电后和下电前能将数字逻辑复位住。
15. AON domain 控制 CORE domain 的上电，CORE domain 下的 digital 不用加额外 POR，但是如果 VDD_VIO 1.8V 上电电压波动太大时，需要能够检测到并判断是否做复位处理，因此增加 VD18 模块，检_VDD VIO2 电压，挂在 VDD IO 电源下。
16. VDD_IO 3.3V domain 作为 Analog 的主 domain 比较合适，SARADC/SYS PLL/AUD PLL/XO24M 挂在 3.3V 下。
17. 在不外挂 PSRAM 的情况下 BUCK_VIO2 输出电压调到 0.9V，LDO_VCORE 采用 bypass 模式。

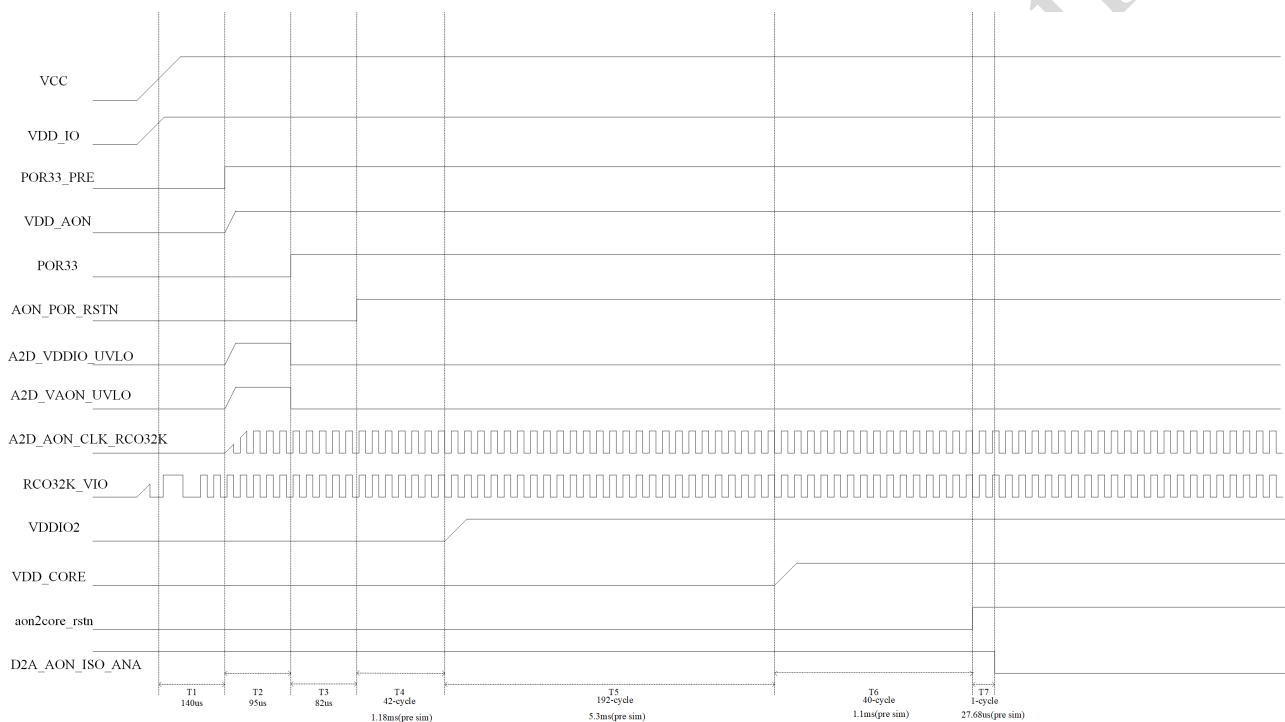


图 6.3 电源上电时序